

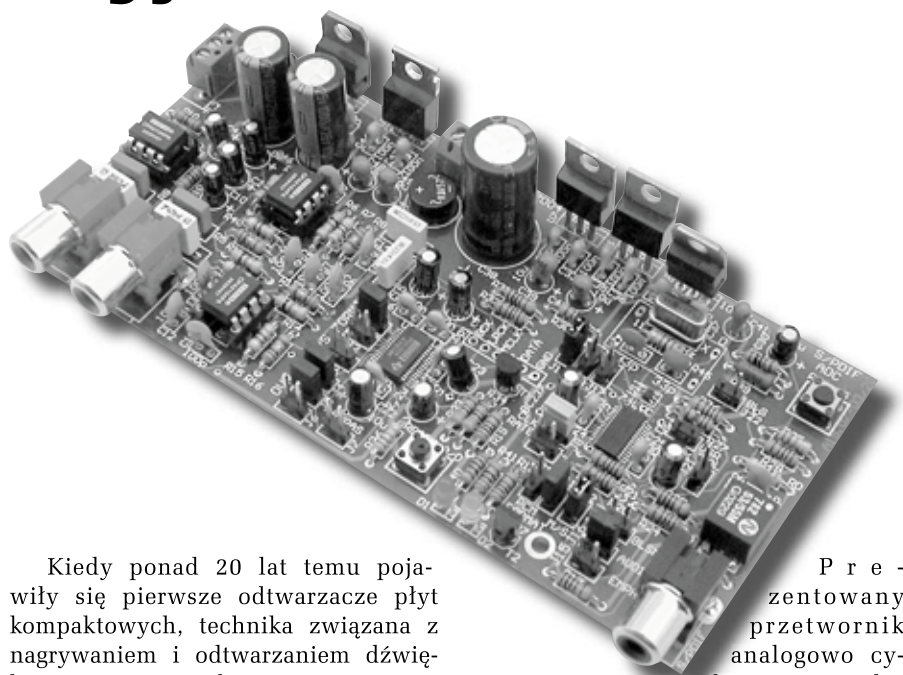
# Przetwornik audio analogowo-cyfrowy z wyjściem S/PDIF

## AVT-384

*Tym razem opisujemy przetwornik analogowo-cyfrowy wyposażony w złącze S/PDIF. Ten artykuł stanowi kontynuację tematyki rozpoczętej w EP2/2005 opisem audiofilskiego przetwornika cyfrowo-analogowego.*

*Teraz jednak pokazujemy, że można nie tylko odsłuchiwać dźwięk cyfrowy, ale również łatwo ten dźwięk tworzyć.*

**Rekomendacje:** *artykuł dedykujemy wszystkim zainteresowanym stworzeniem własnego cyfrowego studia dźwiękowego. Opisujemy układ to pierwszy krok na drodze do tego celu.*



Kiedy ponad 20 lat temu pojawiły się pierwsze odtwarzacze płyt kompaktowych, technika związana z nagrywaniem i odtwarzaniem dźwięku w postaci cyfrowej postrzegana była jako bardzo zaawansowana i dostępna tylko dla wtajemniczonych inżynierów dwu potężnych firm: Philips i Sony. Z czasem te wszystkie nowatorskie rozwiązania spowszedniały a nawet pojawiły się konstrukcje zewnętrznych przetworników cyfrowo-analogowych wykonywane przez amatorów elektroników pasjonujących się techniką audio. Oczywiście celem nadrzędnym tych działań była chęć poprawy jakości dźwięku odtwarzanego z płyty CD.

Dzisiaj wydaje się, że dźwięk cyfrowy został całkowicie opanowany przez nawet niezbyt zaawansowanych elektroników. Dzięki postępowi technologii amatorsko budowane są wspomniane już przetworniki cyfrowo-analogowe o dość przyzwoitych parametrach, ale też nie sposób pominąć o wiele bardziej zaawansowanych konstrukcji budowanych przez amatorów choćby słynnego już odtwarzacza plików muzycznych MP3 - Yamppa. Kiedy się jednak zastanowić, to zdecydowana większość tych działań odnosi się do konwersji postaci cyfrowej na postać analogową, czyli do odtwarzania wcześniej zapisanego przez kogoś dźwięku. Zamiana analogowego sygnału na postać cyfrową była domeną profesjonalnych studiów nagraniowych, ewentualnie stacji radiowych, lub telewizyjnych.

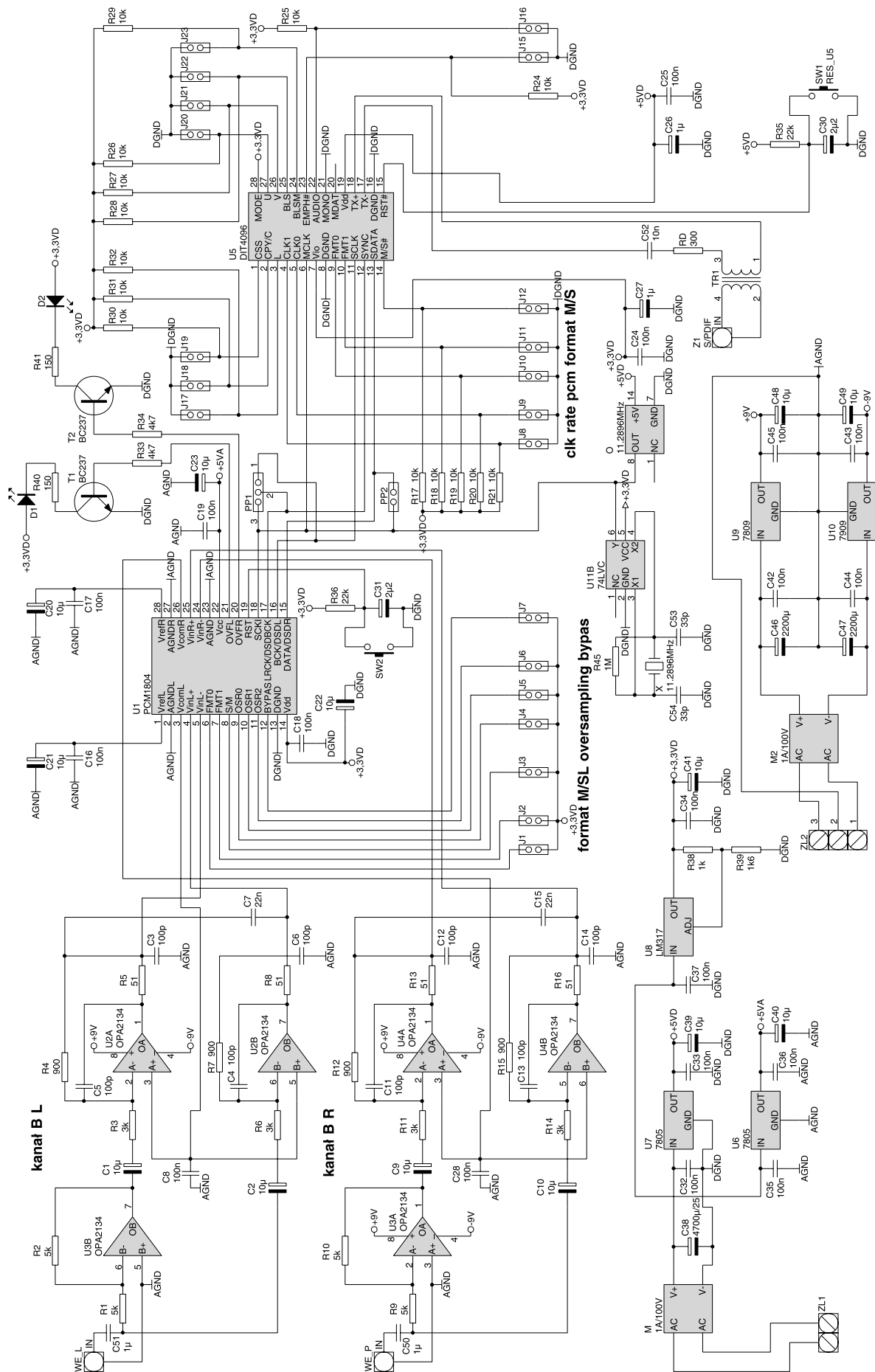
Prezentowany przetwornik analogowo-cyfrowy jest elementem „drugiej strony” cyfrowego toru audio. Potrafi zamienić stereofoniczny analogowy sygnał audio na standardową postać cyfrową tak, że może być potem przesyłany na większe odległości jednym przewodem koncentrycznym. Transmisja jest w miarę odporna na zakłócenia i nie powoduje utraty jakości sygnału. Sygnał cyfrowy można poddawać obróbce: regulować poziom, kształtować charakterystykę częstotliwościową i miksować, a to wszystko również bez utraty jakości charakterystycznej dla mniej rozbudowanych układów analogowych. Nasze urządzenie być może nie zadowoli bardzo wymagających użytkowników, ale do zastosowań amatorskich, lub pół profesjonalnych będzie się doskonale nadawać. Ponieważ jest proste w wykonaniu, to może być częścią składową większego audio systemu w skład, którego może też wchodzić opisywany już przetwornik cyfrowo-analogowy z wejściem S/PDIF (EP2/2005) i przedstawiony w przyszłości cyfrowy procesor audio z efektem 3D.

### Opis przetwornika

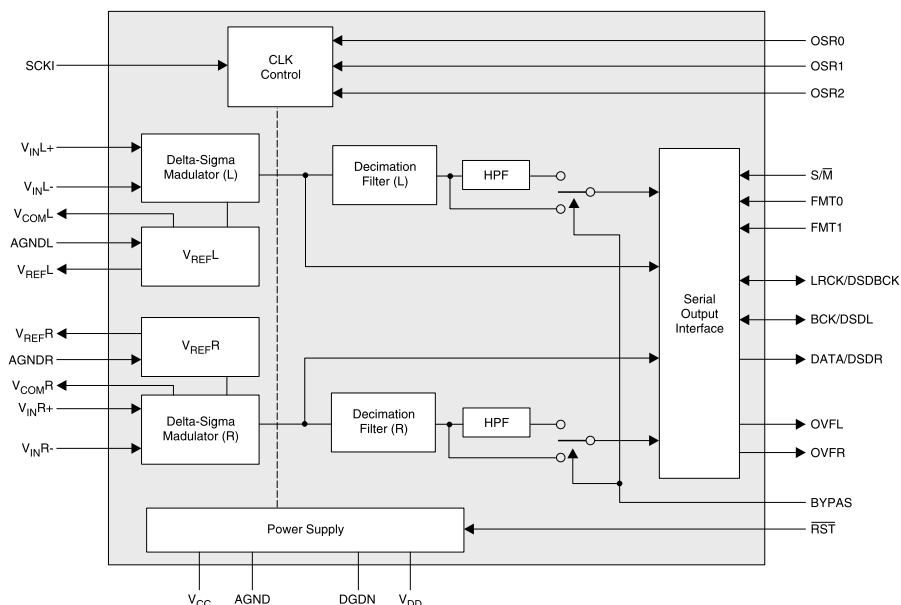
Pokazany na rys. 1 przetwornik jest zbudowany z dwu zasadniczych części: przetwornika analogowo-cyfrowego: PCM1804 i nadajnika S/PDIF DIT4096.

#### PODSTAWOWE PARAMETRY

Płytką o wymiarach 139 x 66 mm  
Zasilanie +12 VAC  
24 bitowy przetwornik audio sigma – delta  
Dwa wejścia analogowe (CINCH)  
Maksymalna amplituda sygnału wejściowego 8,3 V  
Wyjście cyfrowe S/PDIF  
Możliwość wyboru formatu wyjściowego PCM/DSD  
Możliwość wyboru częstotliwości próbkowania 32...192 kHz



Rys. 1. Schemat przetwornika



Rys. 2. Schemat blokowy przetwornika PCM1804

Analogowy sygnał wejściowy przetwornika PCM1804 (układ U1) musi być symetryczny względem masy, a to oznacza, że poziom zerowy amplitudy ma wartość potencjału masy. Zazwyczaj sygnał audio jest niesymetryczny i ma składową stałą. Żeby taki sygnał mógł być podany na wejścia  $V_{in+}$  i  $V_{in-}$  musi być pozbawiony składowej stałej i przekształcony na sygnał symetryczny. Każde z wejść (kanału lewego i prawego) zostało wyposażone w układ realizujący to zadanie zbudowany ze wzmacniaczy operacyjnych OPA2134 (układy U2...U4). Sygnał wejściowy musi spełniać jeszcze jeden bardzo istotny warunek: maksymalna amplituda nie może być większa niż  $\pm 2,5$  V. Zbyt mała wartość maksymalnej amplitudy wejściowej powoduje zmniejszenie dynamiki, a zbyt duża powoduje powstawanie zniekształceń. Układ dopasowujący sygnał wejściowy spełnia również rolę układu dopasowującego poziom sygnału do wspomnianej już maksymalnej amplitudy na wejściu przetwornika ( $\pm 2,5$  V). Wzmocnienie (tłumienie) dla kanału lewego jest określone przez zależność:  $G_a = R_4/R_3$  i  $G_b = R_7/R_6$ . Jak widać, żeby uniknąć powstawania zniekształceń wartości rezystancji  $R_4 = R_7$  muszą być dobrane ze szczególną starannością. To samo dotyczy pary  $R_3$  i  $R_6$ , oraz analogicznych

par rezystorów dla kanału prawego. W układzie z rys. 1 wzmocnienie ma wartość ok. 0,3 (tłumienie), a więc maksymalna amplituda wejściowa może mieć wartość  $2,5 \text{ V}/0,3 = 8,3 \text{ V}$ . Dokładne dane dotyczące doboru wzmacnienia układu wejściowego, dynamiki i szumów można znaleźć w dokumencie *Gain Scaling and Audio Performance of the PCM1804* (slea003.pdf) umieszczonym na stronach producenta układu [www.ti.com](http://www.ti.com).

Schemat blokowy układu PCM1804 został pokazany na **rys. 2**.

Analogowy sygnał z wejść  $V_{in+}$  i  $V_{in-}$  jest poddawany konwersji na postać cyfrową w modulatorach delta-sigma. Modulator taki próbuje z częstotliwością wielokrotnie większą niż jest to wymagane przez twierdzenie o próbkowaniu (*oversampling*). Wynika to z zasady pracy przetwornika delta-sigma, ale dodatkowo umożliwia łatwe filtrowanie dolnoprzepustowe otrzymanego ciągu danych. Jak wiadomo z twierdzenia o próbkowaniu częstotliwość próbkowania musi być, co najmniej dwukrotnie większa niż częstotliwość najwyższej składowej próbkowanego sygnału. Żeby spełnić ten warunek trzeba z sygnału użytecznego usunąć wszystkie składowe o częstotliwościach wyższych (na przykład z szumów) za pomocą filtru dolnoprzepustowego. Cyfrowa realizacja takiego filtru jest wygodna w re-

alizacji, a jego charakterystyka jest tym bardziej stroma im większa jest częstotliwość próbkowania. W PCM1804 modulator delta sigma może próbować z częstotliwościami równymi  $128 f_s$ ,  $64 f_s$  lub  $32 f_s$ , gdzie  $f_s$  jest częstotliwością próbkowania. Po odfiltrowaniu trzeba w jakiś sposób uzyskać wymaganą częstotliwość próbkowania  $f_s$ . Realizuje się to przez decymację polegającą na wybraniu ze strumienia danych, co którąś próbkę (*downsampling*). W przetworniku PCM1804 strumień danych z wyjścia modulatora delta-sigma jest poddawany filtrowaniu i decymacji w bloku filtru decymatora, a następnie może być dodatkowo filtrowany w wyłączanym filtrze HPF. Przy włączonym HPF z sygnału usuwana jest składowa stała (jeżeli nie została usunięta w bloku wejść analogowych). Jeżeli HPF jest wyłączony, to składowa stała jest zawarta w sygnale wyjściowym. Dane z obu kanałów są przesyłane do modułu szeregowego interfejsu wyjściowego, gdzie są zamieniane na format PCM.

Interfejs PCM jest zbudowany z linii danych (DATA), linii zegara taktującego przesyłanymi danymi (BCK) i linii sygnału identyfikacji przesyłanych kanałów LRCK. Dodatkowo do prawidłowej pracy przetwornika i oczywiście interfejsu PCM wymagany jest sygnał zegara systemowego podawany na wejście SCKI. Dane przesyłane interfejsem PCM mogą mieć różne formaty. Różnice pomiędzy nimi polegają głównie na sposobie umieszczenia danych o różnej długości (od 16 do 24 bitów) w 32 bitowej ramce danych dla każdego kanału, oraz na polaryzacji sygnału identyfikacji kanałów. Spotykane są 3 zasadnicze formaty: standardowy z danymi dosuniętymi do prawej, standardowy z danymi dosuniętymi do lewej i I2S. Oprócz formatu PCM przetwornik może wysyłać dane w aktualnie lansowanym przez firmy Philips i Sony formacie DSD. Wykorzystywane są wtedy linie DSDL i DSDR (dane kanału lewego i prawego) oraz zegarowa DSDBCK (taktowanie danych). W naszym rozwiązaniu ten format nie będzie wykorzystywany, więc nie będziemy się nim dalej zajmować. Do ustawiania formatu danych wyjściowych PCM1804 używane są linie FMT0 i FMT1 – **tab. 1**.

W układzie z rys. 1 format jest ustawiany zworkami J1 i J2. Zwarcie zworki powoduje wymuszenie stanu wysokiego, a po rozwarciu wewnętrzny rezystor układu (*pull down*) wymusza stan niski.

Tab. 1. Format danych wyjściowych PCM1804

FMT1	FMT0	Format
0	0	PCM: standardowy 24-bitowy z danymi dosuniętymi do lewej
0	1	PCM: 24 bitowy-I2S
1	0	PCM: standardowy 24-bitowy z danymi dosuniętymi do prawej
1	1	DSD

**Tab. 2. Częstotliwość nadpróbkowania w trybie Master**

OSR2	OSR1	OSR0	Częstotliwość nadpróbkowania	Zegar systemowy
0	0	0	Single rate 128 f <sub>s</sub>	768 f <sub>s</sub>
0	0	1	Single rate 128 f <sub>s</sub>	512 f <sub>s</sub>
0	1	0	Single rate 128 f <sub>s</sub>	384 f <sub>s</sub>
0	1	1	Single rate 128 f <sub>s</sub>	256 f <sub>s</sub>
1	0	0	Dual rate 64 f <sub>s</sub>	384 f <sub>s</sub>
1	0	1	Dual rate 64 f <sub>s</sub>	256 f <sub>s</sub>
1	1	0	Quad rate 32 f <sub>s</sub>	192 f <sub>s</sub>
1	1	1	Quad rate 32 f <sub>s</sub>	128 f <sub>s</sub>
1	0	0	DSD 64 f <sub>s</sub>	384 f <sub>s</sub>
1	0	1	DSD 64 f <sub>s</sub>	256 f <sub>s</sub>

f<sub>s</sub> - częstotliwość próbkowania

**Tab. 3. Częstotliwość nadpróbkowania w trybie Slave**

OSR2	OSR1	OSR0	Częstotliwość nadpróbkowania	Zegar systemowy
0	0	0	Single rate 128 f <sub>s</sub>	Automatycznie wykrywany
0	0	1	Dual rate 64 f <sub>s</sub>	Automatycznie wykrywany
0	1	0	Quad rate 32 f <sub>s</sub>	Automatycznie wykrywany

Pozostałe kombinacje zarezerwowane

**Interfejs PCM**

Interfejs PCM jest zorganizowany według zasady Master-Slave. Układ Master jest źródłem sygnałów zegarowych BCK i LRCK. W układach Slave linie tych zegarów są wejściami. Jest to bardzo istotna uwaga, bo w systemie może być tylko jeden Master. Układ PCM1804 może pracować zarówno jako Master jak i Slave. Zależy to od stanu wyprowadzenia S/M, do którego podłączona jest zworka J3. Jeżeli jest ona zwarta, to S/M jest w stanie wysokim i układ pracuje jako Slave. Stan niski na S/M (rozwarcie J3) oznacza pracę w trybie Master.

Powiedzieliśmy już jak wybrać format danych wejściowych i ustawić tryb Master/Slave, ale pozostaje do rozpatrzenia zasadnicza sprawa wybrania częstotliwości próbkowania. Zaczniemy od częstotliwości pracy modulatora delta sigma. Jak już wspominałem może on pracować z trzema wielokrotnościami częstotliwości próbkowania (*oversampling* - nadpróbkowanie): 128 f<sub>s</sub> (*single rate*), 64 f<sub>s</sub> (*dual rate*) i 32 f<sub>s</sub> (*quad rate*). Zegar systemowy może mieć również częstotliwość równą wielokrotności częstotliwości próbkowania. Ta wielokrotność może przyjmować standardowe ściśle określone wartości. W **tab. 2** została pokazana możliwość wyboru częstotliwości nadpróbkowania z możliwymi wielokrotnościami zegara systemowego dla trybu Master. Wyboru takiego dokonuje się ustawiając odpowiednie stany na wyprowadzeniach OSR2... OSR0. Na przykład dla nadpróbkowania 64 f<sub>s</sub> i f<sub>s</sub>=88,2 kHz zegar systemowy może mieć nozniki 256 i 384.

W trybie Slave jest wybierana tylko częstotliwość nadpróbkowania. Mnożnik zegara systemowego jest wykrywany automatycznie - **tab. 3**.

Po wybraniu częstotliwości nadpróbkowania trzeba określić, z jaką częstotliwością próbkowania będzie próbkowany przebieg analogowy w przetworniku PCM1804. Na tej podstawie można wyliczyć częstotliwość zegara systemowego. W **tab. 4** pokazane zostały częstotliwości zegara systemowego dla wszystkich mnożników zegara i częstotliwości nadpróbkowania.

Załóżmy, że chcemy, żeby próbkowanie odbywało się z częstotliwością 44,1 kHz. Zegar systemowy podawany na wejście SCKI powinien mieć wtedy częstotliwość 256 f<sub>s</sub>=256·44,1 kHz=11,2896 MHz, a nadpróbkowanie powinno się odbywać z częstotliwością 128·f<sub>s</sub>.

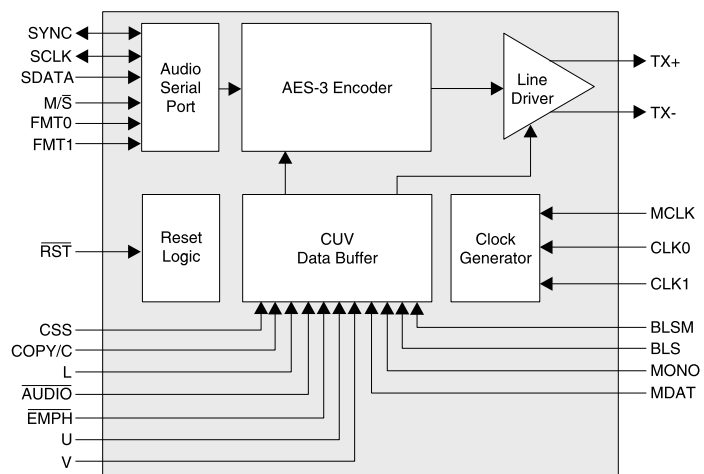
Przetwornik jest wyposażony w wejście zerujące i dwa wyjścia sy-

gnalizujące przekroczenie maksymalnej amplitudy wejściowego sygnału analogowego. Wyjścia OVFR i OVFL pozostają w stanie wysokim tak długo, jak długo sygnał jest większy niż ±2,5 V. Stan wysoki powoduje nasycenie tranzystora T1, lub T2 i zapalenie diody D1, lub D2. Rezystory R33 i R34 ograniczają prąd bazy tranzystorów, a rezystory R40, R41 prąd diod LED.

Zerowanie układu jest wykonywane przez wbudowany wewnętrzny układ zerowania po włączeniu zasilania, lub przez wymuszenie stanu niskiego na wejściu RST (wyprowadzenie 19). Stan niski na RST po włączeniu zasilania jest wymuszany przez obwód RC (R36, C31).

Cześć cyfrowa układu U1 jest zasilana napięciem +3,3 VD względem cyfrowej masy DGND blokowanym przez parę kondensatorów C22, C18. Część analogowa jest zasilana napięciem +5 VA względem analogowej masy AGND. Również i to napięcie jest blokowane przez parę kondensatorów C19, C23.

Dane w formacie PCM na wyjściu PCM1804 mogą być przesyłane do innych elementów cyfrowego toru audio na niewielkie odległości - praktycznie w obrębie niebyt dużej płytki drukowanej. Jeżeli trzeba je przesłać na większe odległości, to trzeba je zamienić na inną postać. Od dawna do tego celu jest stosowany standard dokładnie zdefiniowany w normie IEC-60958 określającej sposób kodowania cyfrowego sygnału audio, organizację ramek z danymi i fizyczny interfejs (poziomy napięć, złącza, kable itp.). Poza tym zdefiniowany jest dokładny podział na standard konsumencki (S/PDIF (*Sony Philips Digital Interface*)) i pro-



Rys. 3. Schemat blokowy DIT4096 w trybie sprzętowym

Tab. 4. Częstotliwość próbkowania i zegara systemowego

Częstotliwość nadpróbkowania	Częstotliwość próbkowania	Częstotliwość zegara systemowego w MHz					
		128 $f_s$	192 $f_s$	256 $f_s$	384 $f_s$	512 $f_s$	768 $f_s$
128 $f_s$	32 kHz	-	-	8,192	12,288	16,384	24,576
	44,1 kHz	-	-	11,2896	16,9344	22,5792	33,8688
64 $f_s$	48 kHz	-	-	12,288	18,432	24,576	36,864
	88,2 kHz	-	-	22,5792	33,8688	-	-
32 $f_s$	96 kHz	-	-	24,576	36,864	-	-
	176,4 kHz	22,5792	33,8688	-	-	-	-
	192 kHz	24,576	36,864	-	-	-	-

fesjonalny używany w sprzęcie profesjonalnym. Trudno sobie wyobrazić by dane przesyłane na większe odległości były przesyłane więcej niż jedną parą przewodów. Dlatego kodowanie PCM trzeba zastąpić innym, w którym jest przesyłany tylko strumień danych bez sygnałów zegarowych. Musi być możliwość wydzielenia sygnału zegarowego z tego strumienia danych po stronie odbiorczej. Taki warunek spełnia kodowanie bifazowe, które ma jeszcze jedną bardzo potrzebną właściwość - nie wnosi składowej stałej do przesyłanego sygnału, a przez to umożliwia separację za pomocą na przykład transformatora. Ma to olbrzymie praktyczne znaczenie. W naszej konstrukcji konwersję PCM na S/PDIF (lub ściślej na IEC60958) spełnia specjalizowany nadajnik cyfrowego sygnału audio DIT4096 firmy Burr-Brown.

### Nadajnik sygnału audio

DIT 4096 jest kompletnym nadajnikiem mogącym nadawać w standardzie konsumenckim lub profesjonalnym dane audio próbkowane z maksymalną częstotliwością 96 kHz. Ten dość rozbudowany układ może pracować w dwu trybach: programowym i sprzętowym wybieranym stanem logicznym na wejściu MODE. Tryb programowy (MODE=0) wymaga podłączenia DIT4096 do sterownika mikroprocesorowego przez 3-liniową magistralę szeregową. Żeby uprościć budowę urządzenia wybrałem tryb sprzętowy. Nie można w nim, co prawda wykorzystać wszystkich możliwości nadajnika, ale pozwala na poprawną pracę w większości zastosowań i nie wymaga sterownika. Schemat blokowy układu pracującego w trybie sprzętowym został pokazany na rys. 3.

Szeregowy port audio umożliwia odbieranie danych w formacie PCM. Sygnał danych jest podawany na wejście SDATA, zegar taktujący przesyłaniem danych na linię SCLK, a sygnał identyfikacji kanałów na linię SYNC. Podobnie jak w układzie PCM1804 port musi mieć możliwość ustawienia formatu danych PCM i ustalenia czy

pracuje jako Master, czy jako Slave. Format danych jest ustawiany stanami logicznymi na wyprowadzeniach FMT0, FMT1 - zworki J10 i J11.

Tryb Master/Slave jest ustawiany zworką J12. Jeżeli jest zwarta, to port pracuje w trybie Slave (stan niski na M/S). Rozwarcie powoduje wejście w tryb Master przez wymuszenie stanu wysokiego na M/S przez rezystor R17. Skonfigurowany port jest gotowy do odbierania danych w wybranym formacie PCM.

Dane z wyjścia szeregowego portu audio trafiają na wejście enkodera AES3, w którym jest tworzona ramka danych zgodna z formatem AES3. Dane te są następnie kodowane bifazowo i przesyłane na wejście wzmacniacza liniowego.

Ramka formatu AES3 pokazana została na rys. 4. Oprócz preambuły identyfikującej przesyłany kanał lub początek bloku danych zawiera 24 bitowe pole danych (20 bitów danych i 4 bity pola *Aux Data*) i 4 bity dodatkowe: V, U, C i P. W trakcie pracy nadajnika do tych bitów wpisywane są stany z wyprowadzeń V, U, L i COPY/C. Kombinacja bitów COPY=1 i L=1 wprowadza nadajnik w nadawanie w standardzie profesjonalnym bez możliwości wprowadzenia protekcji kopiowania. Pozostałe kombinacje bitów COPY i L SA zarezerwowane dla trybu konsumenckiego.

Bitowy kanał statusowego mogą być ustawiane na 2 sposoby. Jeżeli wyprowadzenie CCS (zworka J19) jest w stanie niskim, to stany wyprowadzeń COPY (J18), L(J18), AUDIO (J16) i EMPH (J15) są przepisywane w odpowiednie bity kanału statusowego. Bit AUDIO jest używany do sygnalizacji, czy dane przesyłane w ramach AES3 są danymi audio w formacie PCM (AUDIO=0), czy

też są to inne dane (AUDIO=1). Tymi innymi danymi mogą być na przykład skompresowane dane w formacie AC3 (dookolny dźwięk Dolby Surround). Bit EMPH określa czy dane zostały poddane procesowi preemfazy (EMPH=0).

Jeżeli wyprowadzenie CCS jest w stanie wysokim, to bity kanału statusowego mogą być wprowadzane szeregowo przez wyprowadzenie C (nóżka 2). Zegarem taktującym transmisję jest sygnał identyfikacji kanałów podawany na wyprowadzenie SYNC (nóżka 12).

Ramka danych po skompletowaniu jest przesyłana do wzmacniacza liniowego, który może być obciążony uzwojeniem pierwotnym transformatora separującego. Rezystor RD i kondensator C52 stanowią szeregowy obwód dopasowujący i jednocześnie separujący składową stałą z wyjścia wzmacniacza.

Wyprowadzenia TX+ może również sterować nadajnikiem optycznym - na przykład TOTX173 firmy Toshiba.

Cyfrowy rdzeń nadajnika DIT4096 jest zasilany napięciem +5 V, a układy peryferyjne napięciem od +2,7 V do +5 V. Ponieważ wejściowy port cyfrowy jest połączony z wyjściami przetwornika PCM1804, to napięcie zasilające układy peryferyjne nadajnika ma wartość +3,3 V. Oba napięcia zasilające są blokowane parami kondensatorów 1  $\mu$ F (tantal) i 100 nF (blokujący) - kondensatory C26, C277 i C24, C25.

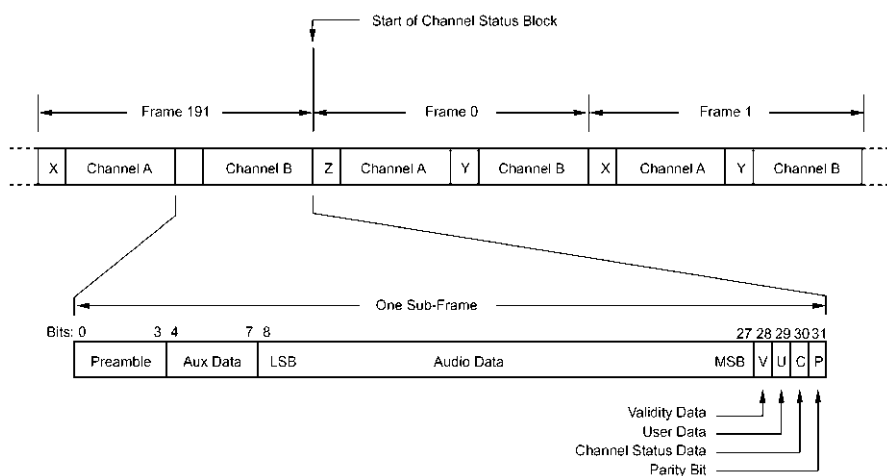
Układ zerujący składa się z elementów R35 i C30.

Źródłem zegara systemowego może być gotowy generator przebiegu zegarowego umieszczony w metalowych obudowach DIL14, lub generator zbudowany z specjalnie do tego celu zaprojektowanej bramki U11 74LVC1GX04 i oscylatora kwarcowego X.

Układ przetwornika wymaga zasilania napięciami +5 VD (rdzeń nadajnika DIT4096), +5 VA (część analogowa przetwornika PCM1804) i +3,3 VD (część cyfrowa PCM1804 i układy peryferyjne DIT4096). Napięcie przemienne o wartości 8..10 V jest doprowadzone do zacisków złącza ZL1. Po wyprostowaniu i odfiltrowaniu kondensatorem C38 jest podawane na wejścia stabilizatorów U6...U8. Oddzielone obwodów masy analogowej i cyfrowej umożliwia dość

Tab. 5. Format danych wejściowych PCM układu DIT4096 w trybie sprzętowym

FMT1	FMT0	Format
0	0	standardowy 24 bitowy z danymi dosuniętymi do lewej
0	1	24 bitowy I2S
1	0	standardowy 24 bitowy z danymi dosuniętymi do prawej
1	1	standardowy 16 bitowy z danymi dosuniętymi do prawej



Rys. 4. Ramka formatu AES3

skuteczne ograniczanie przenikania zakłóceń z części cyfrowej do analogowej. Na płycie drukowanej te są prowadzone oddzielnie, ale łączą się elektrycznie ze sobą w okolicach kondensatora C38. Ten zabieg plus dokładne blokowanie napięć zasilających jak najbliższe wyprowadzeń układów U1 i U5 jest warunkiem koniecznym dla poprawnego działania urządzenia. Symetryczne napięcie zasilające wzmacniacze operacyjne układu wejściowego jest wytwarzane w stabilizatorach U9 i U10 względem masy analogowej. Tutaj również jest potrzebne staranne filtrowanie i blokowanie. Do złącza ZL2 trzeba podłączyć symetryczne napięcie przemienne o wartości ok. 12 V.

### Montaż, konfiguracja i uruchomienie układu

Na rys. 5 pokazano schemat montażowy przetwornika. Niestety staje się normą umieszczanie układów scalonych w obudowach do montażu powierzchniowego z nóżkami o rozstawie 0,5...0,65 mm. Tak też jest i tutaj. Stąd najwięcej problemów może dostarczyć przyłutowanie układu U11. Dlatego na płycie drukowanej pola lutownicze są w większej odległości niż ma układ. Przed przyłutowaniem nóżki trzeba lekko odgiąć; przyłutowanie jest wtedy łatwiejsze – mniejsze jest ryzyko zwarcia. Jeżeli uporamy się ze zmontowaniem całej płytki, całość trzeba skonfigurować. Przed

**Tab. 6. Wybór mnożnika zegara systemowego DIT4096**

CLK1	CLK0	Możnik
0	0	Nie używana
0	1	256 $f_s$
1	0	384 $f_s$
1	1	512 $f_s$

wykonaniem tej czynności musimy się zastanowić, z jaką częstotliwością próbkowania  $f_s$  będzie pracował przetwornik. Jest to dość istotna decyzja, bo od niej zależy wybór częstotliwości zegara systemowego, ale nie tylko. Jeżeli sygnał z przetwornika ma być miksowany z innymi sygnałami, to częstotliwości  $f_s$  wszystkich miksowanych źródeł powinny być takie same. W modelowym rozwiązaniu przyjęliśmy, że częstotliwość próbkowania będzie miała wartość 44,1 kHz, czyli taką samą jak w standardowym zapisie na płytach Compact Disc. Pozostaje teraz tylko wybrać mnożnik dla zegara systemowego i z tab. 4 wybrać częstotliwość generatora będącego źródłem zegara systemowego, kiedy przetwornik pracuje w trybie Master. Dla mnożnika 256  $f_s$  ta częstotliwość wynosi 11,2896 MHz. Z tab. 4 wybieramy teraz częstotliwość nadpróbkowania przetwornika PCM1804 - zworka J6 jest rozwarta (OSR2=0), a zworki J4 i J5 są zwarte (OSR0=OSR1=1). Ponieważ jeden z układów musi być Masterem, to przyjmijmy, że będzie to przetwornik. Rozwarcie zworki J3 powoduje wymuszenie stanu niskiego na wyprowadzeniu S/M i pracę układu w trybie Master. Linie zegarowe LRCK i BCK są wtedy wyjściami, na których pojawiają się przebiegi powstałe po podzieleniu systemowego sygnału zegarowego podanego na wejście SCKI. W kolejnym kroku trzeba określić format danych wyjściowych interfejsu PCM. Format jest w zasadzie obojętny (poza DSD), ale trzeba pamiętać, żeby format wejściowy nadajnika DIT4096 był taki sam. Zwarcie zworki J1 i rozwarcie J2 ustawia 24-bitowy format I2S. Ustawienie trybu Bypass (wyłączenie, lub włączenie filtru HPF) zworką J7 kończy czynności konfigura-

### WYKAZ ELEMENTÓW

#### Rezystory

R5, R8, R13, R16: 51  $\Omega$   
 R40, R41: 150  $\Omega$   
 RD: 300  $\Omega$   
 R4, R7, R12, R15: 900  $\Omega$   
 R38: 1 k $\Omega$   
 R39: 1,6 k $\Omega$   
 R3, R6, R11, R14: 3 k $\Omega$   
 R33, R34: 4,7 k $\Omega$   
 R1, R2, R9, R10: 5 k $\Omega$   
 R17...R21, R24...R32: 10 k $\Omega$   
 R35, R36: 22 k $\Omega$   
 R45: 1 M $\Omega$

#### Kondensatory

C53, C54: 33 pF  
 C3...C6, C11...C14: 100 pF  
 C52: 10 nF  
 C7, C15: 22 nF  
 C50, C51: 1  $\mu$ F MKSE  
 C26, C27: 1  $\mu$ F/35 V tantal  
 C30, C31: 2,2  $\mu$ F/16 V  
 C1, C2, C9, C10, C20...C23, C39...  
 C41, C48 C49: 10  $\mu$ F/25 V  
 C16...C19, C24, C25, C32...C37,  
 C42...C45: 100 nF blokujące ceramiczne  
 C8, C28: 100 nF MKSE  
 C46, C47: 2200  $\mu$ F/25 V  
 C38: 4700  $\mu$ F/25 V

#### Półprzewodniki

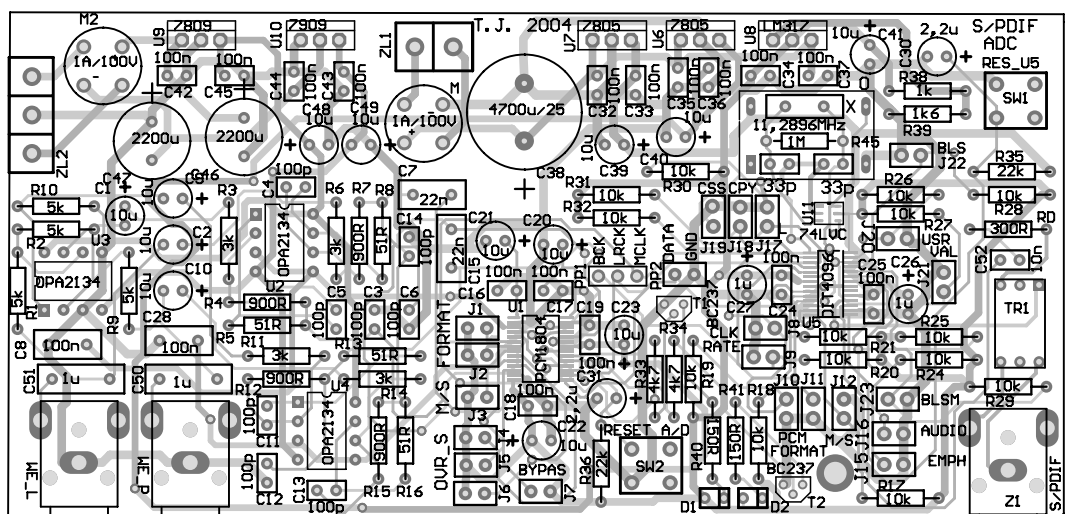
U1: PCM1804  
 U2...U4: OPA2134  
 U5: DIT4096  
 U6, U7: 7805  
 U8: LM317  
 U9: 7809  
 U10: 7909  
 U11: 74LVC1G04  
 T1, T2: BC237  
 M1, M2: 1 A/100 V

#### Inne

X: oscylator 11,2896 MHz lub generator 11,2896 MHz  
 WE\_L, WE\_P, Z1: złącza CINCH (S/PDIF)  
 Transformator separujący 78253/55 lub DA101  
 ZL1, ZL2: Złącza śrubowe  
 Płytką drukowaną

cyjne przetwornika PCM1804.

Konfigurację nadajnika DIT4096 można zacząć od ustawienia trybu Master/Slave portu wejściowego PCM. Skoro PCM1804 został ustawiony jako Master, to nadajnik musi być ustawiony jako Slave, przez zwarcie zworki J12. Ustawienie formatu wejściowego PCM na 24 bitowy I2S realizowane jest przez zwarcie zworki J11 i rozwarcie J10. W przetworniku ustaliliśmy, że mnożnik zegara systemowego wynosi 256  $f_s$ . Taki sam mnożnik musi być ustawiony w nadajniku przez zwarcie zworki J8 i rozwarcie



Rys. 5. Schemat montażowy przetwornika

J9 – patrz tab. 6.

Tak skonfigurowany przetwornik nadajnik są w zasadzie gotowe do przeprowadzenia testów poprawnego działania. Zworki J15...J23 służą do ustalania stanów bitów kanału statusowego i bitów V, U i C przesyłanych w ramce danych.

Do uruchamiania urządzenia będzie niezbędny przestrajany generator przebiegu sinusoidalnego o częstotliwości 10 Hz...30 kHz i regulowanej amplitudzie 0...10 V, oscyloskop i przetwornik audio cyfrowo analogowy z wejściem S/PDIF. Po podłączeniu zasilania i sprawdzeniu poprawności wszystkich napięć trzeba sprawdzić oscyloskopem czy jest generowany przebieg prostokątny generatora zegara systemowego – w naszym przypadku o częstotliwości 11,2896 MHz. Jeżeli przebieg jest prawidłowy, to w punktach pomiarowych BCK, LRCK i DATA umieszczonych na płytce powinny się pojawić przebiegi. Sygnał identyfikacji kanałów LRCK powinien mieć częstotliwość 44,1 kHz. W tej fazie testów trudno jest określić, czy sygnał danych jest prawidłowy, ale powinien tam być nieokresowy przebieg prostokątny. Brak sygnału danych oznacza nieprawidłowe działanie przetwornika PCM1804 i trzeba sprawdzić prawidłowość montażu.

Na wyjściu wzmacniacza liniowego (wyprowadzenie Tx+) przy prawidłowo działającym nadajniku pojawi się szeregowy strumień danych modulowany bifazowo. Wyjście wzmacniacza jest obciążone uzwojeniem pierwotnym transformatora separującego TR1. W dokumentacji układu zalecane jest stosowanie transformatorów firmy Scien-

tific Conversion. Po nawiązaniu kontaktu mailowego z właścicielem firmy okazało się, że mogą kupić 2..3 próbki, ale na większe ilości nie ma co liczyć. Dlatego po dłuższych poszukiwaniach znalazłem odpowiednie transformatory w firmie C-D Technologies. Odpowiedni typ (78253/55) o przekładni 1:2 dla niesymetrycznego wyjścia o impedancji 75 Ω został wybrany przez konsultanta pomocy technicznej firmy. Dla wyjścia symetrycznego o impedancji 110 Ω można zastosować specjalnie dla tego celu produkowany transformator DA-101, który ma przekładnię 1:1.

Drugi etap uruchamiania urządzenia trzeba rozpocząć od podłączenia sygnału audio na jedno z wejść WE\_L, lub WE\_P. Do wyjścia Z1 (S/PDIF) podłączamy kablem koncentrycznym wejście przetwornika cyfrowo-analogowego z wejściem S/PDIF. Ja do tego celu użyłem przetwornika z odbiornikiem DIR1703 i układem DSD1793. Jeżeli przetwornik analogowo-cyfrowy został prawidłowo skonfigurowany i jest sprawny, to na wyjściu przetwornika cyfrowo analogowego powinien się pojawić przebieg sinusoidalny w kanale, w którym został podłączony sygnał z generatora. Analogowy sygnał na wyjściu takiego zestawu powinien być niezniekształcony. Zwiększamy teraz amplitudę sygnału na wejściu. Po osiągnięciu poziomu ok. 8,3 V sygnał wyjściowy będzie obcinany i jednocześnie powinna się zapalić dioda D1, lub D2 (zależnie od tego, w którym kanale wykonujemy próbę). Po sprawdzeniu kanału analogicznie sprawdzamy drugi. Po wykonaniu tych czynności można uznać, że przetwornik został prawidłowo skonfigurowany i uruchomiony. Zestaw testo-

wy dwu przetworników połączonych złączem S/PDIF można również wykorzystać do przeprowadzenia kilku eksperymentów. Pierwszy, który przyszedł mi do głowy, to sprawdzenie czy rzeczywiście taki układ przenosi pasmo równe połowie częstotliwości próbkowania. Zwiększałem częstotliwość sygnału wejściowego i obserwowałem na oscyloskopie sygnał wyjściowy. Tak otrzymana charakterystyka częstotliwościowa była w przybliżeniu zgodna z charakterystyką filtru

decymatora przetwornika PCM1804 dla częstotliwości próbkowania 44,1 kHz. W okolicach 22 kHz amplituda na wyjściu zaczęła szybko maleć, ale dalej pojawiły się zafalowania, które dość szybko znikły. Pozostałe eksperymenty mogą polegać na ustawianiu bitów kanału statusowego i bitów V,U,C. Jeżeli odbiornik ma możliwość sygnalizowania stanu bitów kanału kontrolnego, to można sprawdzić, czy rzeczywiście ustawiane bity są przenoszone przez złącze S/PDIF. W ten sposób sprawdziłem między innymi zmiany bitu AUDIO, który może być odczytany jako bit ADFLG w odbiorniku DIR1703.

Na koniec pozostaje postawienie sobie pytania, do czego to dość skomplikowane urządzenie może się przydać w praktyce? Obserwując dość dynamicznie rozwijający się rynek scalonych układów cyfrowej obróbki audio mogę stwierdzić, że bardziej zaawansowani i ambitni elektronicy mogą już budować całe tory cyfrowej transmisji i obróbki sygnałów audio. Wykorzystując ten przetwornik i cyfrowy procesor oparty na jednym z układów cyfrowego procesora audio firmy Texas Instruments (na przykład TAS3103) można stworzyć kompletny cyfrowy system, który umożliwia przesyłanie, miksowanie i przekształcanie (modyfikacja pasma, efekty przestrzenne) cyfrowych sygnałów audio na poziomie, który jeszcze kilka lat temu był nie do pomyślenia.

**Tomasz Jabłoński, EP**  
[tomasz.jablonski@ep.com.pl](mailto:tomasz.jablonski@ep.com.pl)

W ofercie AVT są dostępne:  
 - [AVT-384A] płytki drukowane