

Wielobitowy przetwornik cyfrowo-analogowy audio z układami PCM1704 (1)

Do zbudowania przetwornika audio użyto kultowego, wielobitowego scalonego przetwornika A/D typu PCM1704 produkowanego przez Texas Instruments. Ten układ jest dobrze znany, bo jako jeden z nielicznych przetworników wielobitowych umożliwia konwersję sygnału o słowie 24-bitowym i częstotliwości próbkowania 96 kHz.

Jest to wynik imponujący!

Rekomendacje: przetwornik jest przeznaczony dla koneserów dobrego dźwięku, którzy są skłonni wydać „nieco” pieniędzy na zakup podzespołów.

Od czasu aplikacji w pierwszych odtwarzaczach CD, wysokiej jakości przetworniki C/A przeszły długą drogę rozwoju. Historycznie pierwszymi były układy wielobitowe. W uproszczeniu, zależnie od wartości reprezentowanej przez słowo podawane na wejście przetwornika (w przypadku standardu CD było to 16 bitów) są zamykane lub otwierane klucze w drabince rezystorowej R-2R. Dla każdej wartości słowa wejściowego na wyjściu przetwornika uzyskuje się inną wartość prądu wyjściowego. Ich następcami były przetworniki znane pod nazwą 1-bitowych. Przetwarzanie 1-bitowe polega na

tym, że słowo 1-bitowe określa różnicę wartości 2 kolejnych próbek, obecnej i poprzedniej. Kolejno następujące po sobie jedynki oznaczają, że sygnał narasta, kolejne zera, że maleje, a przesyłane na przemian zera i jedynki oznaczają, że sygnał nie zmienia się.

Wśród najbardziej wymagających użytkowników odtwarzaczy CD jest wielu zwolenników i przeciwników obu rozwiązań. Wielobitowe przetworniki są cenione za naturalną wierność odtwarzania. Zwolennicy przetworników 1-bitowych argumentują, że ze względu na wysoki koszt wytwarzania rozwój wielobitowców został zatrzymany

W ofercie AVT *

AVT-5346 A
AVT-5346 UK

Dodatkowe materiały na CD/FTP:

<ftp://ep.com.pl>, user: 12927, pass: 632vmew5

- wzory płytek PCB
- karty katalogowe i noty aplikacyjne elementów oznaczonych w Wykazie elementów kolorem czerwonym

Projekty pokrewne na CD/FTP:

- (wymienione artykuły są w całości dostępne na CD)
- AVT-1670 Stereofoniczny regulator barwy dźwięku (EP 4/2012)
- AVT-1634 Przedwzmacniacz z TDA1524A (EP 8/2011)
- AVT-5335 DAC TDA1543 (EP 3/2012)
- AVT-5188 Kompaktowy przetwornik C/A dla Audiofilów (EP 6/2009)
- AVT-5159 SDSP processor (EP 11/2008)
- AVT-5148 Stereofoniczny kodek z interfejsem SPDIF (EP 9/2008)
- AVT-931 DsPICorder (EP 6/2006)
- AVT-450 Przetwornik A/C z interfejsem ADAT (EP 11-12/2005)
- AVT-384 Przetwornik audio analogowo-cyfrowy z wyjściem S/PDIF (EP 4/2005)

* Uwaga:

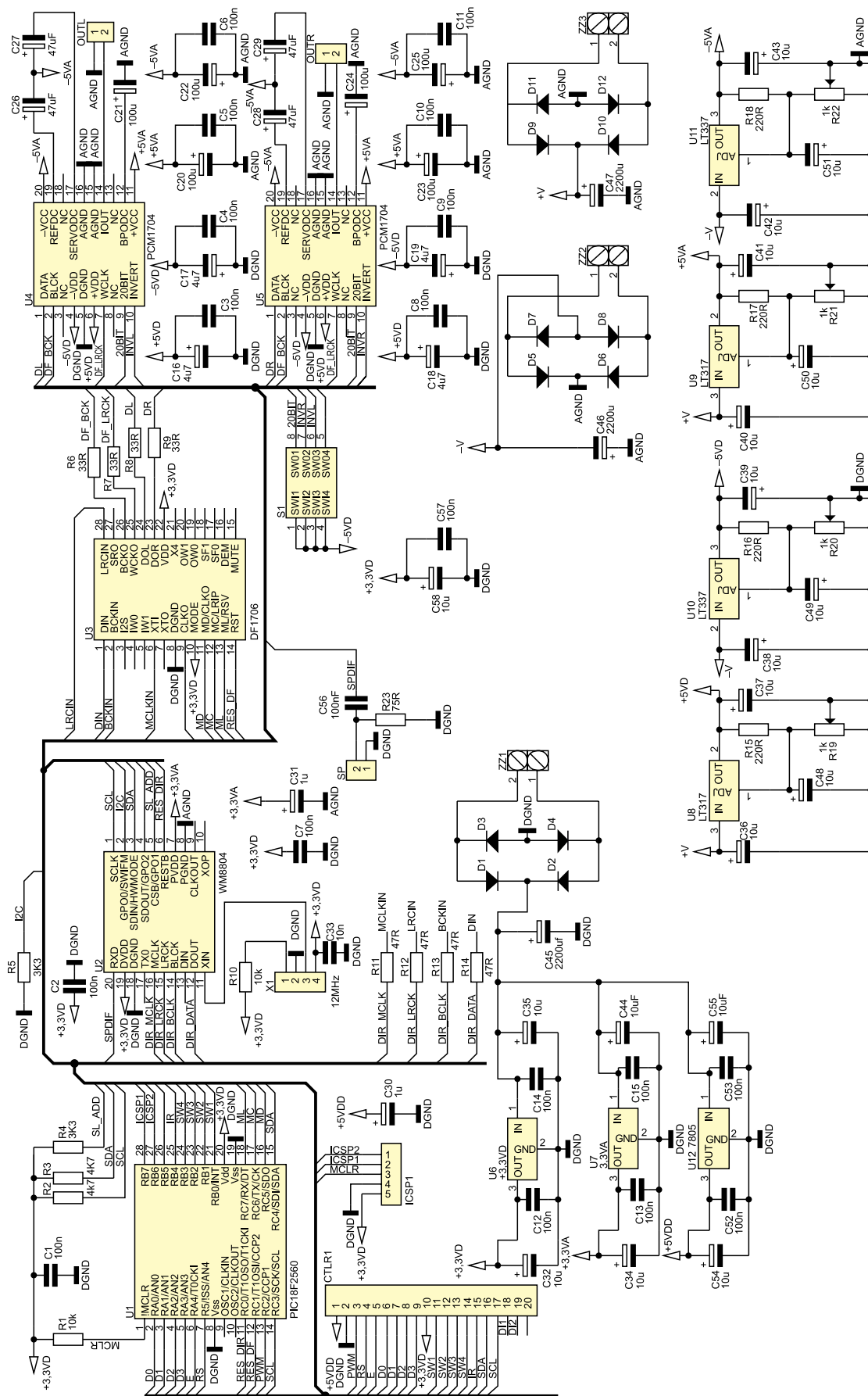
- Zestawy AVT mogą występować w następujących wersjach:
- AVT xxxx UK to zaprogramowany układ. Tylko i wyłącznie. Bez elementów dodatkowych.
- AVT xxxx A płytka drukowana PCB (lub płytki drukowane, jeśli w opisie wyraźnie zaznaczono), bez elementów dodatkowych.
- AVT xxxx A+ płytka drukowana i zaprogramowany układ (czyli połączenie wersji A i wersji UK) bez elementów dodatkowych.
- AVT xxxx B płytka drukowana (lub płytki) oraz komplet elementów wymieniony w załączniku pdf
- AVT xxxx C to nic innego jak zmontowany zestaw B, czyli elementy wmontowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie posiada obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf
- AVT xxxx CD oprogramowanie (nie często spotykana wersja, lecz jeśli występuje, to niezbędne oprogramowanie można ściągnąć klikając w link umieszczony w opisie kitu)

Nie każdy zestaw AVT występuje we wszystkich wersjach! Każda wersja posiada załączony ten sam plik pdf! Podczas składania zamówienia upewnij się którą wersję zamawiasz! (UK, A, A+, B lub C) <http://sklep.avt.pl>

wiele lat temu i nowe przetworniki 1-bitowe dorównują klasycznym wielobitowym, a nawet je przewyższają jednocześnie umożliwiając konwersję „gęstych” formatów.

Do zbudowania wielobitowego przetwornika audio użyłem kultowego przetwornika PCM1704 produkowanego do dzisiaj. Niedługo ten układ był wytwarzany przez

firmę Burr Brown, a współcześnie przez Texas Instruments. Układ jest dobrze znany, bo umożliwia jako jeden z nielicznych wielobitowców konwersję sygnału o słowie 24-bitowym



Rysunek 1. Schemat ideowy przetwornika

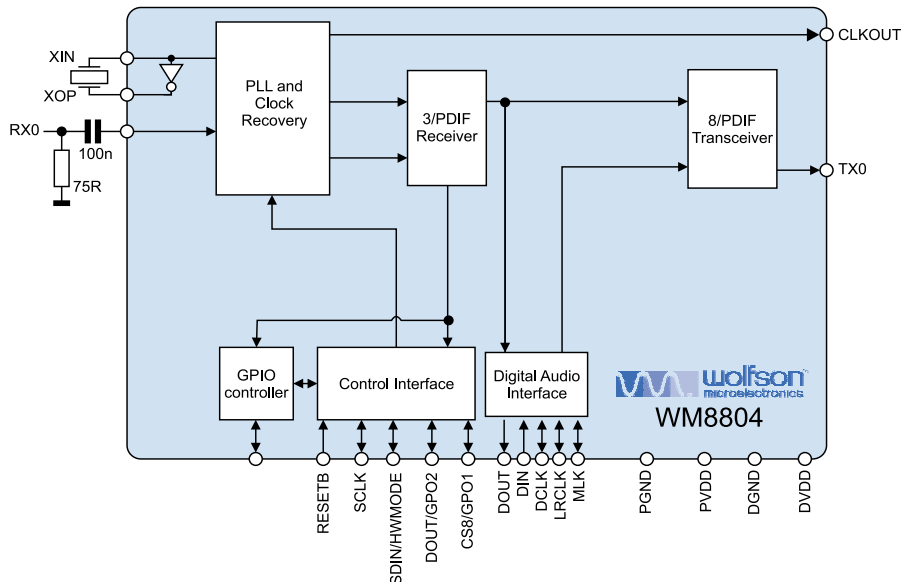
wym i częstotliwości próbkowania 96 kHz. Dla przetworników wielobitowych jest to wynik imponujący. Niestety, PCM1704 jest dość drogi. Dodatkowo, układ scalony może konwertować tylko jeden kanał i do budowy kompletnego przetwornika stereo muszą być użyte co najmniej 2 takie układy. Nie ma też wbudowanego filtra cyfrowego i trzeba zastosować również dość drogi oraz trudno-dostępny filtr DF1704 lub DF1706.

Założenia projektowe

Zaawansowane układy audio (odbiornik SPDIF, filtr cyfrowy) mają wbudowane dwa mechanizmy umożliwiające ich konfigurację: sprzętowy i programowy. Ten pierwszy jest łatwy w implementacji i niezawodny, ale ma ograniczone możliwości. Konfigurowanie programowe daje możliwość elastycznego ustawiania wszystkich parametrów danego układu. Istnieje na przykład możliwość programowego ustawiania poziomu sygnału wyjściowego. Postanowiłem wykorzystać te możliwości i sterować układy w trybie programowym. Do tego celu w układzie zastosowano mikrokontroler PIC18F2850.

Interfejs użytkownika tworzą wyświetlacz znakowy LCD (2 linie po 16znaków), impulsator firmy Burns, jeden mikroswitch i odbiornik RC5. Oprócz innych funkcji, mikrokontroler umożliwia zaimplementowanie cyfrowego potencjometru regulującego poziom sygnału na wyjściu. Pozwala to dołączyć wyjście przetwornika bezpośrednio do wzmacniacza mocy bez zastosowania przedwzmacniacza z typowym potencjometrem. I znowu takie rozwiązanie wzbudza kontrowersje. Układ jest posądzany o degradację rozdzielczości bitowej sygnału wyjściowego i przez to zwiększanie szumu kwantyzacji. Dla wielu jest to jednak wygodna i działająca prawidłowo funkcja. Nie rozstrzygając o słuszności argumentów żadnej ze stron postanowiłem wbudować regulację – można z niej korzystać lub nie.

Kolejnym założeniem wstępnym było podzielenie układu na sekcję odbiornika SPDIF, przetwornika i sterownika mikroprocesorowego, łącznie z niezbędnymi układami zasilającymi oraz sekcję przetwornika prąd/napięcie i analogowego filtra dolnoprzepustowego, popularnie nazywanego analogówką. Ten podział ma duże znaczenie praktyczne. Można robić próby z różnymi układami konwertera U/I. Istnieje też wiele rozwiązań układów analogowych umieszczanych na wyjściu przetwornika. Od typowych filtrów dolnoprzepustowych zbudowanych w oparciu o wzmacniacze operacyjne, po układy



Rysunek 2. Schemat blokowy odbiornika WM8804

tranzystorowe, lampowe, czy układy z transformatorami. Aby dać „pole manewru” podzieliłem układ w taki właśnie sposób.

Schemat przetwornika z odbiornikiem SPDIF i układami zasilania, ale bez konwertera prąd/napięcie i filtra analogowego pokazano na **rysunku 1**.

Odbiornik SPDIF

Zewnętrzny przetwornik musi być wyposażony w odbiornik SPDIF. Odbiornik mimo, że nie bierze bezpośredniego udziału w procesie konwersji, to jego jakość może bardziej lub mniej wpływać na analogowy sygnał wyjściowy. Do tej pory głównie używałem odbiorników DIR9001 i odbiornika/konwertera częstotliwości próbkowania SRC4392. Tu postanowiłem zastosować odbiornik WM8804 firmy Wolfson (U2). Na wybór miały wpływ jego bardzo dobre parametry techniczne i pozytywne opinie użytkowników. W momencie projektowania układu był uważany za jeden z najlepszych odbiorników.

Jak przystało na nowoczesny odbiornik, może on odbierać strumień 24-bitowych danych próbkowanych z częstotliwościami z zakresu 32...192 kHz. Bardzo ważnym parametrem odbiorników jest jitter sygnału zegarowego odzyskiwanego ze strumienia wejściowego. Producent na pierwszej stronie dokumentacji odbiornika podaje, że wartość jitter'a jest nie gorsza od 50 ps RMS. Wartość bardzo dobra, ale należy sobie zdawać sprawę, że w rzeczywistym układzie może nie udać się uzyskać aż tak dokładnego odtworzenia sygnału zegara. A na pewno bez odpowiedniego wyposażenia i niezbędnej

wiedzy o tego typu pomiarach trudno jest go zmierzyć z aż tak wielką dokładnością.

Wbudowany w WM8804 układ generatora PLL odtwarzający sygnał zegarowy potrzebuje do pracy sygnału z generatora kwarcowego. Układ generatora jest wbudowany w strukturę odbiornika. Do jego działania jest potrzebny zewnętrzny rezonator kwarcowy. Istnieje możliwość doprowadzenia sygnału zegarowego z zewnętrznego generatora. Producent dopuszcza taką opcję z zastrzeżeniem, że sygnał z zewnętrznego generatora również musi mieć mały jitter.

Częstotliwość sygnału taktującego WM8804 może zmieniać się w zakresie od 10...27 MHz, ale nie jest dowolna. Dla wybranej częstotliwości trzeba wyliczyć i zaprogramować współczynniki *PLL_K* i *PLL_N*. Dlatego elastyczna zmiana częstotliwości wejściowego sygnału taktującego układ PLL jest możliwa tylko w trybie programowym.

Układ ma wbudowany niespotykany w odbiornikach SPDIF dodatkowy blok. Jest to nadajnik SPDIF. Na wejście nadajnika może być skierowany sygnał z odbiornika SPDIF lub z portu PCM. Jak widać, oprócz funkcji odbiornika DIR (*Digital Interface Receiver*) WM8804 może spełniać funkcję nadajnika DIT (*Digital Interface Transmitter*). Tu nie wykorzystujemy tej możliwości.

Odbiornik może być skonfigurowany do pracy w trybie sprzętowym lub programowym. Konfigurowanie WM8804 sprowadza się do ustalenia formatu danych wyjściowych portu PCM, sposobu traktowania portu (master lub slave), zaprogramowania układu PLL (tylko w trybie programowym) i skierowania sygnału wyjściowego na port PCM lub nadajnik SPDIF.

Tryb programowy WM8804

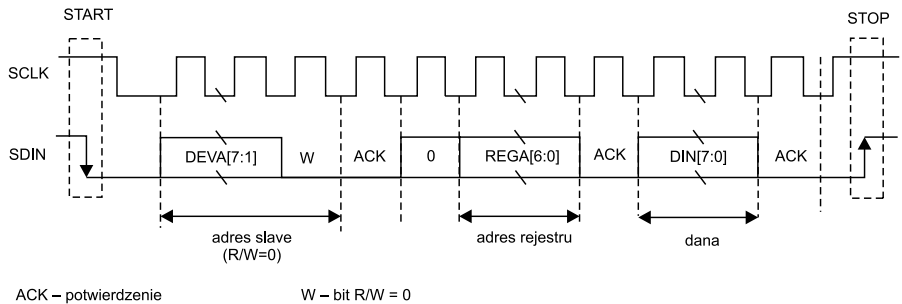
W przetworniku z wbudowanym sterownikiem mikroprocesorowym optymalnym rozwiązaniem wydaje się zastosowanie try-

Tabela 1. Wybór adresu magistrali I²C

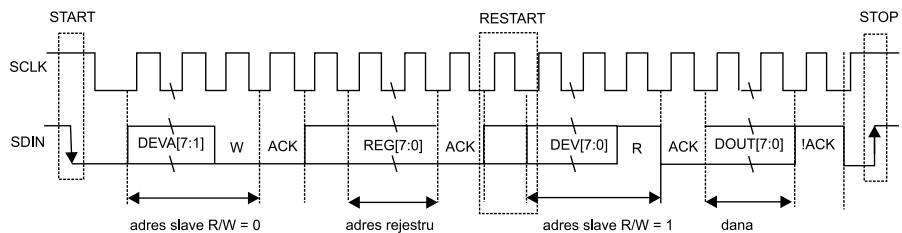
Stan CSB	Adres WM8804	Adres slave	
		Zapis R/W=0	Odczyt R/W=1
0	0111010 R/W	0x74	0x75
1	0111011 R/W	0x76	0x77

		HW RESET=0		HW RESET=1		
		SWMODE	HWMODE	SWMODE	HWMODE	
Wyprowadzenie	SDIN	Wybór HWMODE/SWMODE		SDIN	Nie działa	
	SCLK	Nie działa	AIF_MS	SCLK	GPO (TRANS_ERROR)	
	SDOUT	Nie działa	AIF_CONF[0] GPO	I ² C SDOUT	GPO (NON_AUDIO)	
	CSB	I ² C	SPI	TXSRC	I ² C GPO	GPO (UNLOCK)
		Adres slave	Nie działa		SPI CSB	
GPO0	Wybór I ² C lub SPI		AIF_CONF[1]	GPO	GPO (GEN_FLAG)	

Rysunek 3. Funkcje wyprowadzeń WM8804 w trybie sprzętowym i programowym



Rysunek 4. Zapisywanie rejestru konfiguracyjnego



Rysunek 5. Odczytywanie rejestru ID lub statusowego

Poziom niski wybiera 2-liniowy interfejs zgodny z I²C, a wysoki 3-liniowy interfejs SPI. Ja do konfigurowania odbiornika wykorzystałem magistralę I²C, poziom niski wejścia wymusiłem za pomocą rezystora R5 dołączonego do masy. Po zakończeniu sekwencji POR linia konfiguracyjna SDIN staje się linią danych SDA interfejsu I²C, a rezystor R3 realizuje wymagane przez standard podciąganie linii do plusa zasilania.

Każdy układ dołączony do magistrali I²C musi mieć swój unikalny adres. Odbiornik może mieć 2 różne adresy ustawiane poziomem na wejściu CSB (tabela 1).

Układ ma 31 rejestrów 8-bitowych. Większa ich część jest przeznaczona tylko do zapisania (ich wartości host nie może odczytać) i pełnią one rolę rejestrów konfiguracyjnych. Sekwencja zapisania rejestru polega na wysłaniu na magistralę I²C (rysunek 4):

- Sekwencji Start.
- Adresu slave układu z bitem R/W=0.
- Adresu rejestru z zakresu 0...30.
- Bajtu zapisywanego do rejestru.
- Sekwencji Stop.

WM8804 pozwala na odczytanie tylko rejestrów oznaczonych w dokumentacji jako Read Only. Są to rejestry identyfikacyjne ID (R0, R1 i R2) oraz statusowe. Te ostatnie są przewidziane między innymi do odczytywania znaczników statusowych. W trybie programowym można odczytywać więcej znaczników statusowych niż w trybie sprzętowym. Żeby odczytać zawartość rejestru za pomocą I²C, należy (rysunek 5):

- Wysłać sekwencję Start i adres slave.
- Wysłać adres slave z bitem R/W=0 i adres odczytywanego rejestru.
- Wysłać sekwencję powtórzonego Startu a po niej adres slave z bitem R/W=1.
- Odczytać zawartość rejestru.
- Wysłać sekwencję Stop kończącą transmisję danych.

Na listingu 1 pokazano procedurę zapisu rejestru WM8804, a na listingu 2 procedurę odczytu zawartości rejestru WM8804.

Ponieważ w trybie programowym mamy możliwość modyfikowania zawartości rejestrów, to można też przeprogramować układ PLL i odbiornik może być taktowany inną częstotliwością niż domyślne 12 MHz. Ge-

```

Listing 1. Zapisanie rejestru WM8804
//zapisanie rejestru Wm8804
void SendWM(unsigned char reg, unsigned char data){
    i2c_start();
    i2c_write(0x76); //addr slave CSB="H"
    i2c_write(reg); //zapisz rejestr
    i2c_write(data); //zapisz dane
    i2c_stop();
}
    
```

```

Listing 2. Odczytanie rejestru WM8804
//odczytanie rejestru Wm8804
unsigned char GetWM(unsigned char reg){
    unsigned char data;
    i2c_start();
    i2c_write(0x76); //addr slave CSB="H"
    i2c_write(reg); //zapisz rejestr
    i2c_restart();
    i2c_write(0x77); //addr slave R/W=1
    data=i2c_read(1);
    i2c_stop();
    return (data);
}
    
```

bu programowego. Jest on wprowadzany po wymuszeniu poziomu wysokiego na wejściu konfiguracyjnym SDIN przez rezystor R3. Konfigurowanie odbiornika jest wykonywane przez zewnętrzny mikrokontroler – host. Komunikuje się on z WM8804 przez szeregowy interfejs SPI lub I²C. Rodzaj interfejsu jest wybierany poziomem na linii GPO0/SWIFMODE.

Tabela 2. Współczynniki wyliczone dla różnych typowych częstotliwości taktujących						
OSC CLK (MHz)	Preskaler	Fs (kHz)	F1 (MHz)	F2 (MHz)	PLL_N (hex)	PLL_K (hex)
11.2896	0	32/44.1/48/96	11.2896	94.3104	8	16A3B3
11.2896	0	192	11.2896	98.304	8	2D4766
12	0	32/44.1/48/96	12	94.3104	7	36FD21
12	0	192	12	98.304	8	C49BA
12.288	0	32/44.1/48/96	12.288	94.3104	7	2B3333
12.288	0	192	12.288	98.304	8	0
24	1	32/44.1/48/96	12	94.3104	7	36FD21
24	1	192	12	98.304	8	C49BA
27	1	32/44.1/48/96	13.5	94.3104	6	3F19E5
27	1	192	13.5	98.304	7	1208A5

nerator PLL jest dokładnie opisany w dokumentacji odbiornika. Aby nie wchodzić zbyt-
 nio w szczegóły wystarczy powiedzieć, że do
 zaprogramowania częstotliwości taktującej
 potrzebujemy zapisać współczynniki PLL_K
 i PLL_N oraz ustawić preskaler. Współczyn-
 niki wylicza się na podstawie częstotliwości
 sygnału taktującego układ oraz częstotli-
 wości próbkowania sygnału wejściowego
 SPDIF. W tabeli 2 zamieszczono współczyn-
 niki obliczone dla kilku standardowych czę-
 stotliwości taktujących.

Po wyzerowaniu układu (POR) do re-
 jestrów są wpisywane ustawienia dla
 $f_s=32/44,1/48/96$ kHz i $OSC\ CLK=12$ MHz.
 Współczynnik PLL_K jest zapisywany
 w trzech rejestrach o adresach 3 (LSB), 4 i 5
 (MSB), a współczynnik PLL_N w rejestrze
 o adresie 6. W odbiorniku WM8804 pracują-
 cym w trybie programowym trzeba włączyć
 zasilanie używanych boków funkcjonalnych
 przez zapisanie rejestru PWRDN o adresie
 30 (rysunek 6). Po zerowaniu układ PLL,
 odbiornik i nadajnik SPDIF są domyślnie
 wyłączone i żeby zaczęły działać trzeba je
 włączyć programowo.

Aby generator PLL zaczął pracować po-
 prawnie, po zapisaniu rejestrów współczyn-
 nikami PLL_N i PLL_K, trzeba go włączyć
 przez wyzerowanie bitu PLLPD, następnie
 włączyć odbiornik SPDIF przez wyzerowa-
 nie bitu SPDIFRXPD. Dobrym zwyczajem
 jest odczytanie bitów statusowych REC_
 FREQ[1:0] aby określić czy częstotliwość
 próbkowania sygnału wejściowego jest
 zgodna z wpisanymi współczynnikami. Bity
 określające częstotliwość próbkowania są
 umieszczone w rejestrze statusowym SPD-
 STAT o adresie 12 (rysunek 7).

W rejestrze SPDAT są również umiesz-
 czone bity statusowe. Dla nas najważniejsze
 będą: AUDIO_N, DEEMPH i UNLOCK. Jeżeli
 bit AUDIO_N jest ustawiony, to sterownik
 przetwornika powinien wyciszyć wejście, bo
 dane wejściowe są danymi skompresowanymi
 (MP3, AC3 itp.) i bez ich wcześniejszego
 zdekodowania na wyjściu przetwornika
 pojawią się zakłócenia. W trakcie konwersji
 właściwego sygnału bit AUDIO_N powinien
 być wyzerowany.

Bit statusowy deemfazy DEEMPH jest
 zazwyczaj wyzerowany, bo w zasadzie
 wszystkie nagrania nie podlegają deemfazy.
 Jednak dobrze jest go kontrolować, bo gdyby
 był ustawiony, to trzeba włączyć deemfazę
 w przetworniku.

Bit statusowy UNLOCK sygnalizuje stan
 pracy wewnętrznego układu PLL. Jeżeli jest
 wyzerowany, to układ PLL jest zsynchroni-
 zowany. Można go wykorzystać jako sygna-
 lizację podłączenia prawidłowego sygnału
 SPDIF do wejścia odbiornika.

Wejściowy sygnał SPDIF jest podawany
 na wejście XIN przez foliowy kondensator
 C56 eliminujący składową stałą. Rezystor R23

Rejestr	Bit	Nazwa	Domyślnie	Opis
PWRDN Adres 30	0	PLLPD	1	Zasilanie PLL 0 PLL włączone 1 PLL wyłączone
	1	SPDIFRXPD	1	Zasilanie odbiornika SPDIF 0 odbiornik SPDIF włączony 1 odbiornik SPDIF wyłączony
	2	SPDIFTXPD	1	Zasilanie nadajnika SPDIF 0 nadajnik SPDIF włączony 1 nadajnik SPDIF wyłączony
	3	OSCPD	0	Zasilanie oscylatora 0 oscylator włączony 1 oscylator wyłączony
	4	AIFPD	0	Zasilanie portu PCM 0 zasilanie włączone 1 zasilanie wyłączone
	5	TRIOP	0	Ustawienie wyjść jak trójstanowe 0 wyjścia normalnie 1 wyjścia jak trójstanowe

Rysunek 6. Rejestr PWRDN

Rejestr	Bit	Nazwa	Opis
SPDSTAT Adres 12	0	AUDIO_N	Bit statusowy AUDIO dane wejściowe PCM inne dane
	1	PCM_N	Bit statusowy Non-PCM nie odebrano kodu SYNC (dane nie kompresowane) odebrano kod SYNC (dane kompresowane)
	2	CPY_N	Bit statusowy No Copyright dane zawierają copyright dane nie zawierają
	3	DEEMPH	Bit statusowy DEEMPH dane bez deemfazy dane z deemfazą
	5:4	REC_FREQ	Odtworzona częstotliwość próbkowania 00 – 192 kHz 01 – 96 lub 88.2kHz 10 – 48 lub 44.1kHz 11 – 32 kHz
	6	UNLOCK	Wskaźnik stanu pętli PLL pętla zsynchronizowana z wejściowym sygnałem SPDIF pętla nie zsynchronizowana

Rysunek 7. Rejestr statusowy SPDSTAT

zapewnia dopasowanie kabla przesyłowego.
 Odbiornik jest taktowany przez scalony gene-
 rator X1 sygnałem o częstotliwości 12 MHz.

Filtr cyfrowy DF1706

W cyfrowej konwersji cyfrowo-analogo-
 wej stosuje się cyfrowe filtry interpolatora.
 Mają one za zadanie wykonać nadpróbkowa-

nie sygnału wejściowego. W przetwornikach
 z modulatorami sigma-delta w blok filtrów
 cyfrowych wbudowuje się funkcję przesu-
 wania widma szumów (*noise shaping*) poza
 pasmo użyteczne, czyli powyżej 20 kHz. Jest
 to niezbędne, bo konwersja z małą liczbą bi-
 tów charakteryzuje się wysokimi szumami
 kwantyzacji. Ponieważ tu stosujemy prze-

REKLAMA

**Firma SYBET z Katowic poszukuje
 KONSTRUKTORA URZĄDZEŃ ELEKTRONICZNYCH:**

- pasjonata fascynującego się elektroniką praktyczną,
- sprawnego projektanta obwodów drukowanych

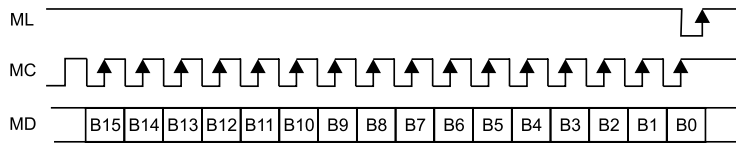
Mile widziane:

- znajomość technicznego języka angielskiego,
- umiejętność programowania mikrokontrolerów,
- znajomość układów radiowych,
- prawo jazdy kat.B

Oferujemy:

- pracę pełną ciekawych wyzwań,
- udział w rozwoju nowoczesnych technologii,
- udział w szkoleniach, dostęp do literatury i próbek,
- wyposażone laboratorium,
- miłą atmosferę w zespole

Oferty prosimy wysyłać na: biuro@sybet.pl



Rysunek 8. Przebiegi czasowe na magistrali filtra DF1706

B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
R	R	R	R	R	A1	A0	D8	D7	D6	D5	D4	D3	D2	D1	D0

Rysunek 9. Słowo zapisywane do DF1706

```
Listing 3. Procedura przesyłania danej przez magistralę
void SendDF(unsigned char reg, unsigned int data){
    unsigned int shift;
    char i;
    shift=(reg<<9)|(data&0x1fff);
    ML=1;
    for(i=0;i<16;i++){
        MC=0;
        if((shift&0x8000)==0x8000) MD=1;
        else MD=0;
        MC=1;
        shift<<=1;
    }
    ML=0;
    ML=0;ML=0;
    ML=1;
}
```

twornik wielobitowy, to szumy kwantyzacji są małe i nie wymagają cyfrowego przesuwania poza pasmo użyteczne. Po co zatem dodatkowy filtr cyfrowy? To samo pytanie pewnie zadają sobie zwolennicy tak zwanych NOS DAC (*no oversampling DAC*). Według nich jest to dodatkowy układ, który wnosi niepotrzebne zniekształcenia sygnału. Ulubionym układem NOS DAC jest leciwy przetwornik TDA1541.

Teoretycznie nadpróbkowanie nie jest konieczne. Jeżeli założymy, że częstotliwość próbkowania sygnału wejściowego wynosi 44,1 kHz i pasmo użyteczne kończy się na 20 kHz, to analogowy sygnał z wyjścia przetwornika powinien być filtrowany dolnoprzepustowo filtrem, który przenosi linio-wo sygnał do 20 kHz i tłumi o ok. -60 dB

dla częstotliwości powyżej $fs/2=22.05$ kHz. I tu zaczyna się problem. Każdy, kto choć trochę zna się na projektowaniu aktywnych filtrów dolnoprzepustowych wie, że zadanie jest bardzo trudne, a na pewno kosztowne. Filtr będzie bardzo rozbudowany i będzie wymagał wielu drogich elementów. Gdyby jednak pasmo pozostało takie samo, czyli $f_{max}=20$ kHz, a sygnał był próbkowany z $fs=88.2$ kHz, to filtr musiałby tłumić sygnały w paśmie od 20 kHz do 44,1 kHz. To już znacznie łatwiejsze. Z tego powodu stosuje się „prostą” sztuczkę cyfrową pozwalającą na zwiększenie częstotliwości próbkowania. Pomiędzy odbierane próbki sygnału wejściowego wstawia się próbki zerowe, a potem takie sygnał filtruje się dolnoprzepustowo (filtrem cyfrowym) do sygnału o częstotliwości $fs/2$. Ten proces nazywa się interpolacją, a układ, w którym jest wykonywana – filtrem interpolatora. Sygnał na wyjściu filtra interpolatora ma częstotliwość próbkowania wielokrotnie wyższą niż fs na wejściu, czyli jest nadpróbkowany (*oversampling*).

NOS DAC z założenia nie ma filtra interpolatora, ale też nie ma analogowego filtra na

wyjściu lub ma szczytkowy. Jednak takie rozwiązanie ma swoich wiernych fanów. Jak to możliwe, że taki układ działa? Rolę analogowego filtra dolnoprzepustowego spełnia tutaj nasze ucho. Im starszy audiofil, tym skuteczniej jego ucho „tłumi” wyższe częstotliwości akustyczne. Pozostaje problem wpływu sygnału zawierającego wiele składowych powyżej pasma akustycznego na pracę wzmacniacza i kolumn. Jednak zagorzali zwolennicy zwracają uwagę na brak filtra cyfrowego i analogowego, czyli elementów potencjalnie wnoszących do sygnału dodatkowe zniekształcenia.

Ja nie jestem zwolennikiem NOS DAC i dlatego zastosowałem filtr cyfrowy DF1706 pomiędzy odbiornikiem WM8804 i przetwornikami PCM1704.

DF1706 jest cyfrowym filtrem interpolacyjnym specjalnie zaprojektowanym dla przetworników PCM1704. Ma bardzo dobre parametry: 8-krotne nadpróbkowanie, tłumienie -115 dB i równomierność pasma $\pm 0,0005$ dB. Dane wejściowe mogą mieć format I2S right justified i left justified, a częstotliwość próbkowania z zakresu 32...192 kHz. W filtr wbudowane są funkcje deemfazy, regulatora poziomu sygnału wyjściowego (*digital attenuation*) i wyboru 2 charakterystyk wyjściowych filtra (ostra i łagodna). DF1706 może być konfigurowany w trybie sprzętowym lub programowym. Tryb wybiera się stanem na wejściu MODE. Poziom niski wymusza pracę w trybie sprzętowym, natomiast wysoki – programowym. Ponieważ z założenia DAC miał mieć możliwość sterowania poziomem sygnału wyjściowego dostępnym tylko w trybie programowym, to właśnie taki został wybrany.

W trybie programowym sterownik komunikuje się z filtrem przez 3-przewodową magistralę składającą się z linii ML (sygnał zapisania danych – latch), MC (sygnał taktowania przesyłaniem danych) i MD (sygnał danych). Przebiegi czasowe w trakcie przesyłania danych przez magistralę pokazano na **rysunku 8**. Słowo wpisywane do układu jest 16-bitowe. 9 młodszych bitów [B8:B0] zawiera daną wpisywaną do rejestru sterującego. Bity B9 i B10 są bitami adresowymi, a pozostałe nie są wykorzystywane (**rysunek 9**). Procedura SendDF z **listingu 3** przesyła 9-bitową daną zawartą w argumencie data. Adres rejestru jest zawarty w argumencie reg.

Dwa bity adresowe mogą zaadresować 4 rejestry nazwane MODE3...MODE0. Rejestr MODE0 służy do zapisywania tłumienia cyfrowego regulatora poziomu w kanale lewym, a MODE1 w kanale prawym. Tłumienie jest wyliczane ze wzoru.

$$ATTEN = \frac{DATA-255}{2} [dB]$$

- ATTEN – tłumienie,
- DATA – liczba 9-bitowa zapisywana do rejestru MODE0 lub MODE1.

B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
R	R	R	R	R	1	0	R	R	OW1	OW0	IW1	IW0	X4	DEM	MUT

MUT – soft mute: 0 – wyciszenie obu kanałów, 1 – wyciszenie wyłączone
 DEEM – de emfaza: 0 – wyłączona, 1 – włączona
 Format danych wejściowych
 IW[1:0] (z bitem I²S z rejestru MODE3) [I²S:IW1:IW0]: 000 – 16 bit right justified, 00 1 – 20 bit right justified, 010 – 24 bit right justified, 011 – 24 bit left justified, 100 – 16 bit I²S, 101 – 24 bit I²S
 Długość danych wyjściowych OW[1:0]: 00 – 16 bitów, 01 – 18 bitów, 1 0 – 20 bitów, 11 – 24bity

Rysunek 10. Rejestr MODE2

B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
R	R	R	R	R	1	0	R	SF1	SF0	CKO	R	SRO	ATC	LRP	I2S

I²S – ustawia format I²S
 LRP – polaryzacja LRCIN: 0 – kanał lewy dla stanu wysokiego, kanał prawy dla stanu niskiego LRCIN, 0 – kanał lewy dla stanu niskiego, kanał prawy dla stanu wysokiego LRCIN
 ATC: 0 – tłumienie kanałów L i R regulowane niezależnie, 1 – tłumienie kanałów L i R regulowane wspólnie
 SRO: 0 – ostra charakterystyka filtra, 1 – łagodna charakterystyka filtra
 SF[1:0] programowanie fs dla filtra de emfazy: 00 – 44,1 kHz, 01 – rezerwa, 10 – 48 kHz, 11 – 32 kHz

Rysunek 11. Rejestr MODE3

```
Listing 4. Przykładowa inicjalizacja DF1706
void InicDF(void){
    SendDF(2,0x06d); //mute off, deem off, IN-24bit(I2S), OUT 24bit
    SendDF(3,0x009); //I2S format, LRP&RRP=0, ATC=1, SRO=1,
    SendDF(0,0x1ff); //L_att=0dB
    SendDF(1,0x1ff); //R_att=0dB
}
```

Wykaz elementów

Płytki przetworników PCM1704

Rezystory: (SMD 1206)
 R6...R9, R11...R14: 22 Ω
 R23: 75 Ω
 R4, R5: 3,3 kΩ
 R2, R3: 4,7 kΩ
 R1, R10: 10 kΩ
 R15...R18: 220 Ω (przewł. metalizowany 0,6 W/1%)
 R19...R22: 1 kΩ (pot. wielobrotowy Helitrim typu T910W)
Kondensatory: (SMD 1206)
 C33: 10 nF
 C1...C15, C52, C53, C57: 100 nF (SMD 1206)
 C56: 100 nF/63 V (MKT przewlekany)
 C31: 1 μF/10 V (tantal., SMD 3216)
 C30: 1 μF/35 V (tantal., przewlekany)
 C16...C19: 4,7 μF/25 V
 C32...C51, C54, C58: 10 μF/25 V
 C26...C29: 47 μF/16 V
 C20...C25: 100 μF/16 V
 C45: 2200 μF/16 V
 C46, C47: 2200 μF/25 V
Półprzewodniki:
 U1: PIC18F2580 (zaprogramowany)
 U2: WM8804
 U3: DF1706
 U4, U5: PCM1704U
 U6: LM2937 -3,3V
 U7: 7805
 U8, U9: LT317
 U10, U11: LT337
 D1...D12: 10BQ040PBF
Inne:
 Generator kwarcowy 12 MHz, obudowa 5 mm×7 mm
 ARK2: złącza, 2 szt.

Płytki panelu czołowego

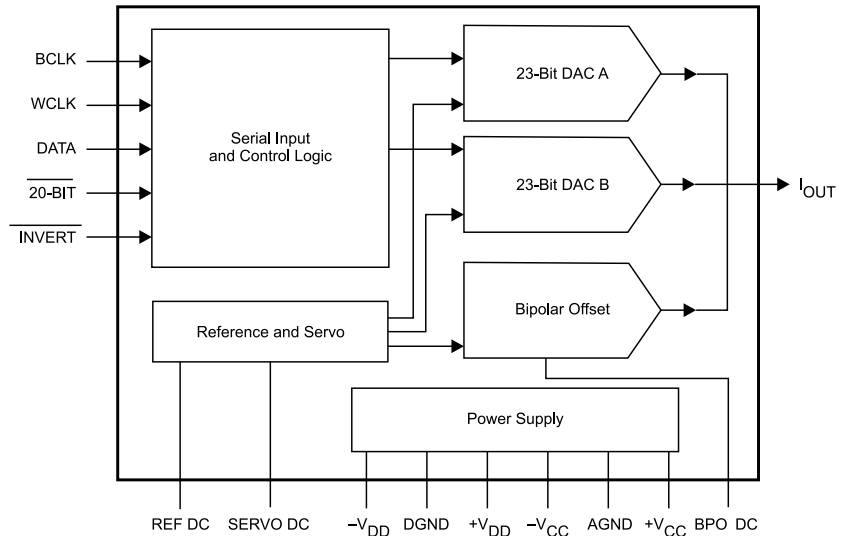
R1: 10 Ω (metalizowany 0,6 W)
 R5: 100 Ω (SMD 1206)
 R3, R4: 10 kΩ (SMD 1206)
 PR1: Potencjometr montażowy 4,7 kΩ
 C1, C3: 10 μF/10 V (tantalowy, SMD 3528)
 C2: 100 nF (SMD 1206)
 Wyświetlacz LCD 2×16 znaków
 Impulsator Bourns ECW1J-B24

Płytki konwertera I/U i filtra

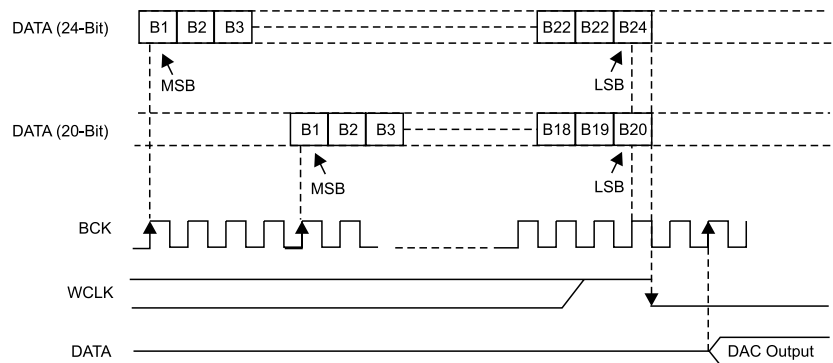
Uwaga: elementy dla jednego kanału! Ich liczbę trzeba pomnożyć ×2
Rezystory: (metalizowane, przewlekane 0,6 W/1%)
 R9: 100 Ω
 R14: 1 kΩ
 R1: 2,49 kΩ
 R7: 3,32 kΩ
 R2, R3: 3,57 kΩ
 R6: 3,65 kΩ
 R5: 3,92 kΩ
 R4: 4,12 kΩ
 R8: 1 MΩ
Kondensatory: (MKP lub styrofleksowe, r=5 mm, tolerancja 2%)
 C1: 47 pF
 C19: 270 pF
 C4: 330 pF
 C18: 1,5 nF
 C17: 1 nF
 C2: 2,2 nF
 C3: 4,7 nF
 C13...C16: 100 nF (MKT, r=5mm)
 C5...C8: 10 μF/25 V (elektrolit.)
Półprzewodniki:
 U1 OPA604
 U2 OPA627

Elementy dla sekcji zasilacza

Rezystory: (przewlekane, metalizowane 0,6 W/1%)
 R10, R11: 220 Ω
 R12, R13: 5 kΩ (potencjometr Helitrim typu T910W)
Kondensatory:
 C9...C12, C22, C23: 10 μF/25 V
 C20, C21: 2200 μF/25 V
Półprzewodniki:
 U3: LT317 lub LM317 (TO-220)
 U4: LT337 lub LM 337 (TO-220)
Inne:
 ZZ1, ZZ2: złącza ARK2
 Listwa goldpin 2,54 mm



Rysunek 12. Schemat blokowy przetwornika PCM1704



Rysunek 13. Przesyłanie danych do PCM1704

Rejestr MODE2 jest przeznaczony do konfigurowania formatu danych wejściowych (w tym przypadku – przesyłanych z odbiornika SPDIF), długości danych wyjściowych, oraz włączania/wyłączania demfazy i włączania wyciszania (MUTE). Strukturę rejestru MODE2 pokazano na **ryśunku 10**, natomiast MODE3 na **ryśunku 11**.

Współpraca z odbiornikiem WM8804 z ustawionym 24-bitowym formatem I2S wymaga, aby filtr miał ustawiony taki sam format wejściowy. Żeby wykorzystać możliwości konwertowania 24 bitowych formatów „gęstszych”, ustawiłem również 24-bitową długość danych wyjściowych. Przykładową procedurę inicjalizacji układu DF1706 zamieszczono na **listingu 4**.

Sygnaly wyjściowe z odbiornika WM8804: MCLK (zegar systemowy), LRCK (identyfikacja kanałów), BCLK (taktowanie przesyłania danych) i DATA (danych) są połączone z liniami portu PCM filtra DF1706 poprzez rezystory szeregowo R11...R14. Zadaniem tych rezystorów jest tłumienie zakłóceń na liniach spowodowanych pojemnościami ścieżek.

Scalony przetwornik PCM1704

Przetwornik PCM1704, którego schemat blokowy pokazano na **ryśunku 12**, jest wybitnym przedstawicielem przetworników wielobitowych. Klasyczne przetworniki wielobito-

we charakteryzują się bardzo dobrym współczynnikiem SNR (niskie szумы kwantyzacji) i dobrymi parametrami dla dużych sygnałów. Niestety, topologia R-2R ma problemy z małymi sygnałami w pobliżu przejścia amplitudy sygnału analogowego przez zero. Z tego powodu, w PCM1704 zastosowano specjalne rozwiązanie nazwane architekturą *sign-magnitude*. Jest to kombinacja typowego 23-bitowego przetwornika i przetwornika mającego za zadanie poprawić liniowość przy małych sygnałach. Można się domyślać, że jest to 1-bitowy przetwornik *sigma-delta*.

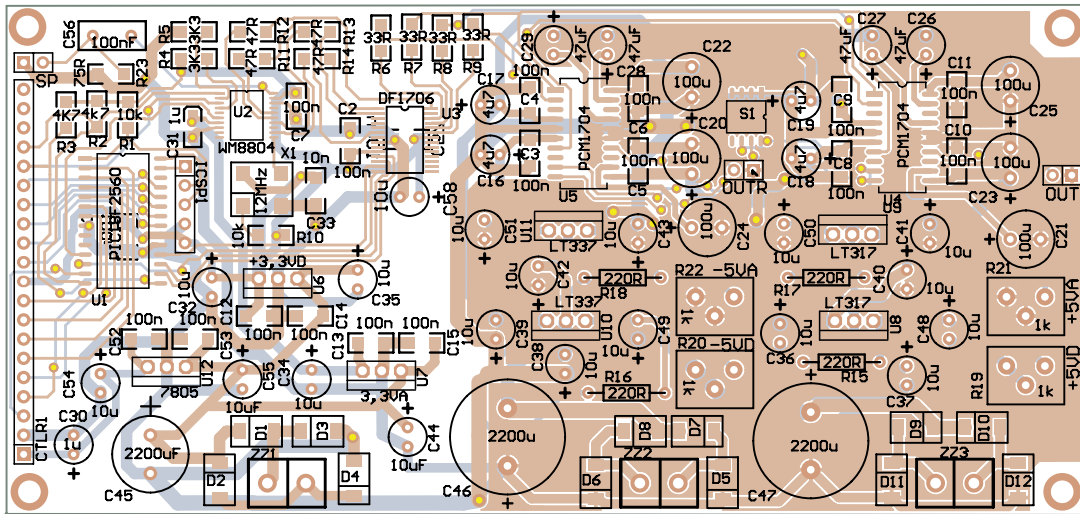
Dane wejściowe są konwertowane w 23-bitowych konwerterach prądowych

REKLAMA

WWW.STM32.EU

Internetowy

klub STM32



Rysunek 14. Schemat montażowy płytki przetwornika

R-2R. Aby zapewnić wyjątkową dokładność, w procesie produkcyjnym te konwertery są dostrajane laserowo. Połączenie właściwości funkcjonalnych obu przetworników po-

woduje, że PCM1704 zachowuje wszystkie zalety przetwarzania wielobitowego i eliminuje jego wady korygując nieliniowości dla małych sygnałów.

Przetwornik może konwertować jeden kanał z wejściową częstotliwością próbkowania 16...96 kHz nadpróbkowaną 8-krotnie, lub 4-krotnie. Można wybrać dane o długości 20 lub 24 bitów. W sygnale wyjściowym można uzyskać współczynnik SNR na poziomie 120 dB. Dane wejściowe w formacie U2 (uzupełnienie do 2) są przesyłane szeregową magistralą zbudowaną z linii: BCLK, DATA

i WCLK. Pierwszy jest przesyłany najbardziej znaczący bit (MSB). Zależność pomiędzy danymi wejściowymi i prądem na wyjściu przetwornika zamieszczono w tabeli 3.

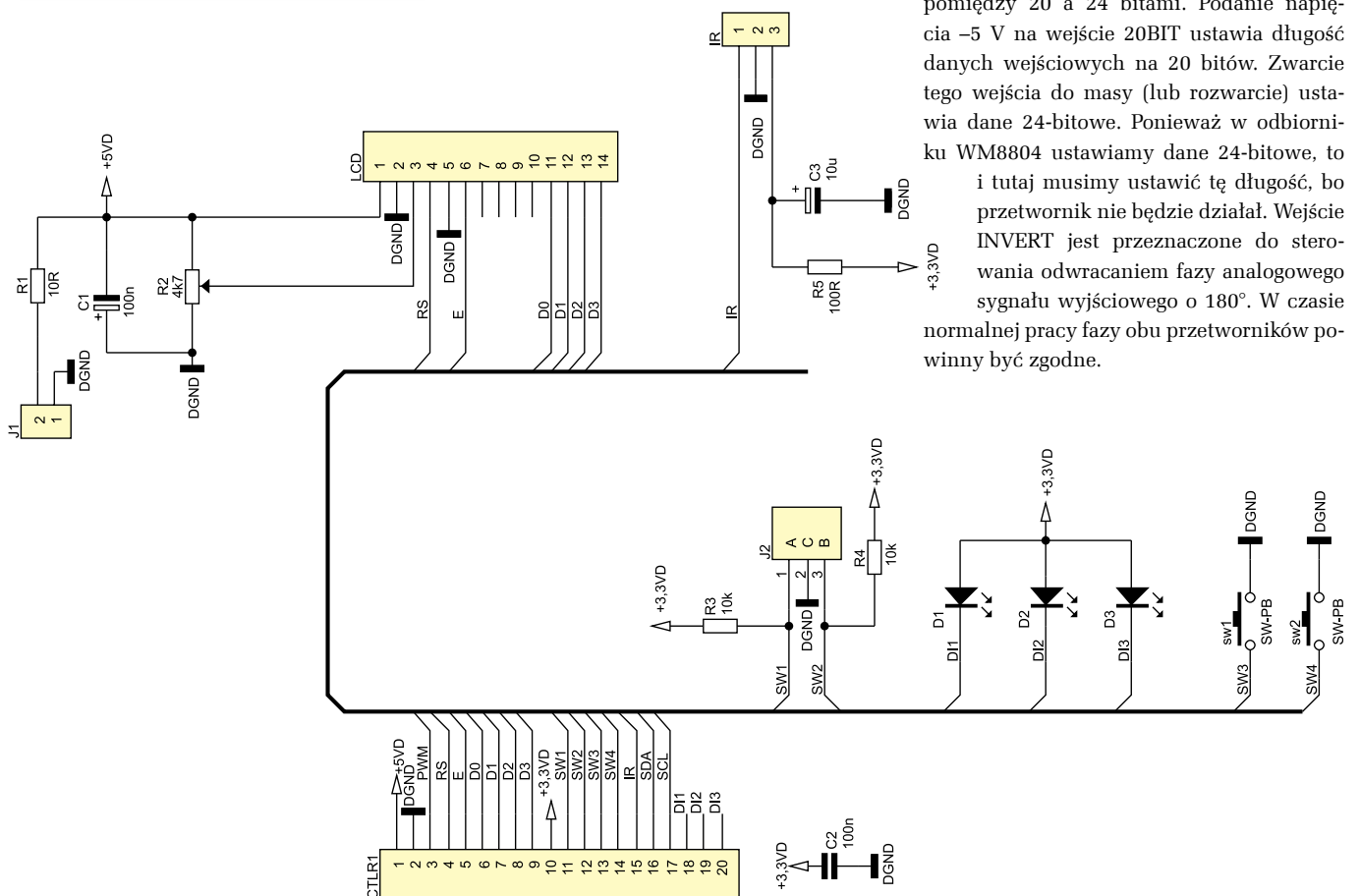
Transmisja odbywa się w takt zegara BCLK. Opadające zboczne na linii WCLK powoduje zatrzaśnięcie danych i rozpoczęcie konwersji (rysunek 13).

Częstotliwość na linii BCK nie może być wyższa niż 25 MHz. Dla napróbkowania 8-krotnego $f_s=96 \text{ kHz}$

i 32-bitowej ramki danych otrzymujemy $96 \text{ kHz} \times 8 \times 32 = 24,676 \text{ kHz}$.

Aplikacja przetwornika jest typowa, sugerowana przez producenta. Wyjściowe linie magistrali szeregowy filtra DF1706 są połączone z przetwornikami przez rezystory R6...R9 (22 Ω). Sygnały BCK i WCLK doprowadza się do obu przetworników równolegle. Sygnały danych są wydzielane w filtrze, osobno dla każdego z kanałów. Wejścia sterujące 20BIT i INVERT doprowadzono do mikroprzełącznika S1. Wejście 20BIT przełącza akceptowaną długość danych wejściowych pomiędzy 20 a 24 bitami. Podanie napięcia -5 V na wejście 20BIT ustawia długość danych wejściowych na 20 bitów. Zwarcie tego wejścia do masy (lub rozwarcie) ustawia dane 24-bitowe. Ponieważ w odbiorniku WM8804 ustawiamy dane 24-bitowe, to i tutaj musimy ustawić tę długość, bo przetwornik nie będzie działał. Wejście INVERT jest przeznaczone do sterowania odwracaniem fazy analogowego sygnału wyjściowego o 180°. W czasie normalnej pracy fazy obu przetworników powinny być zgodne.

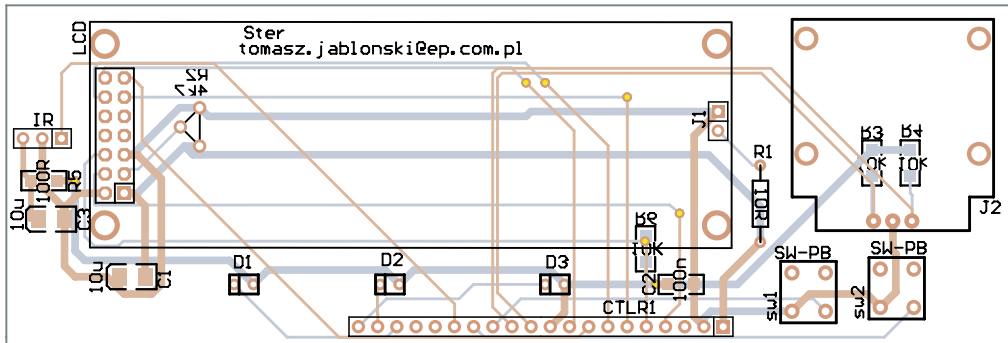
Tabela 3. Zależność pomiędzy danymi wejściowymi a prądem na wyjściu przetwornika	
Dane wejściowe w formacie U2	Wyjście przetwornika
7FFFFFFF	+maksymalny zakres
00000000	Analogowe zero
FFFFFFF	Analogowe zero -1LSB
8000000	-maksymalny zakres



Rysunek 15. Schemat ideowy płytki interfejsu użytkownika

Zasilacz przetwornika

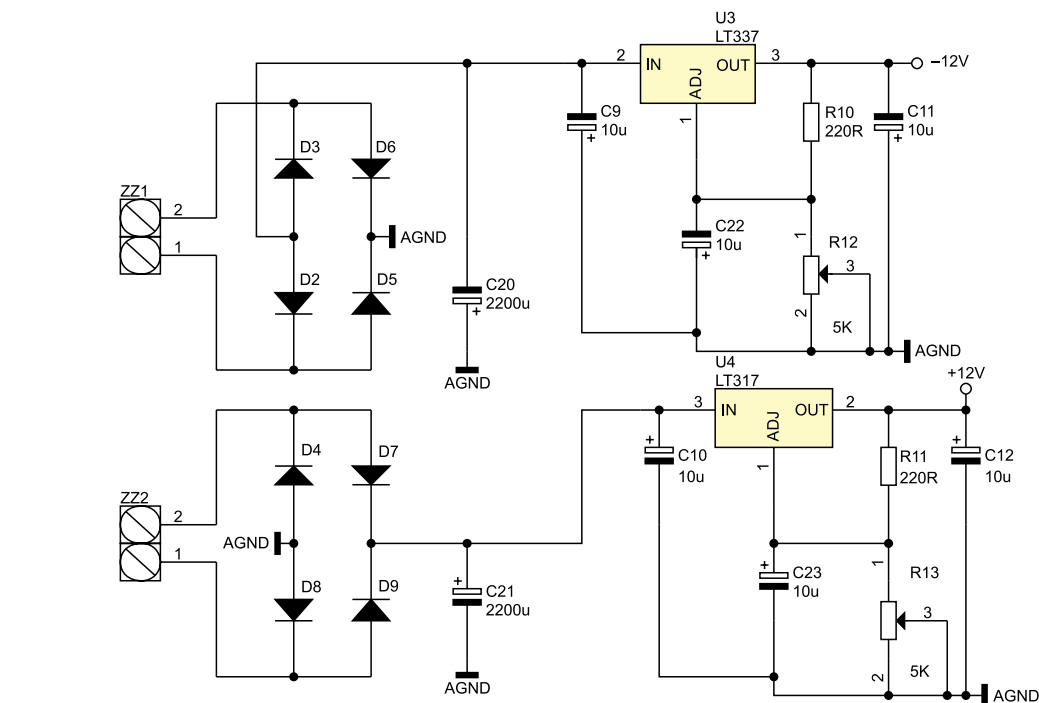
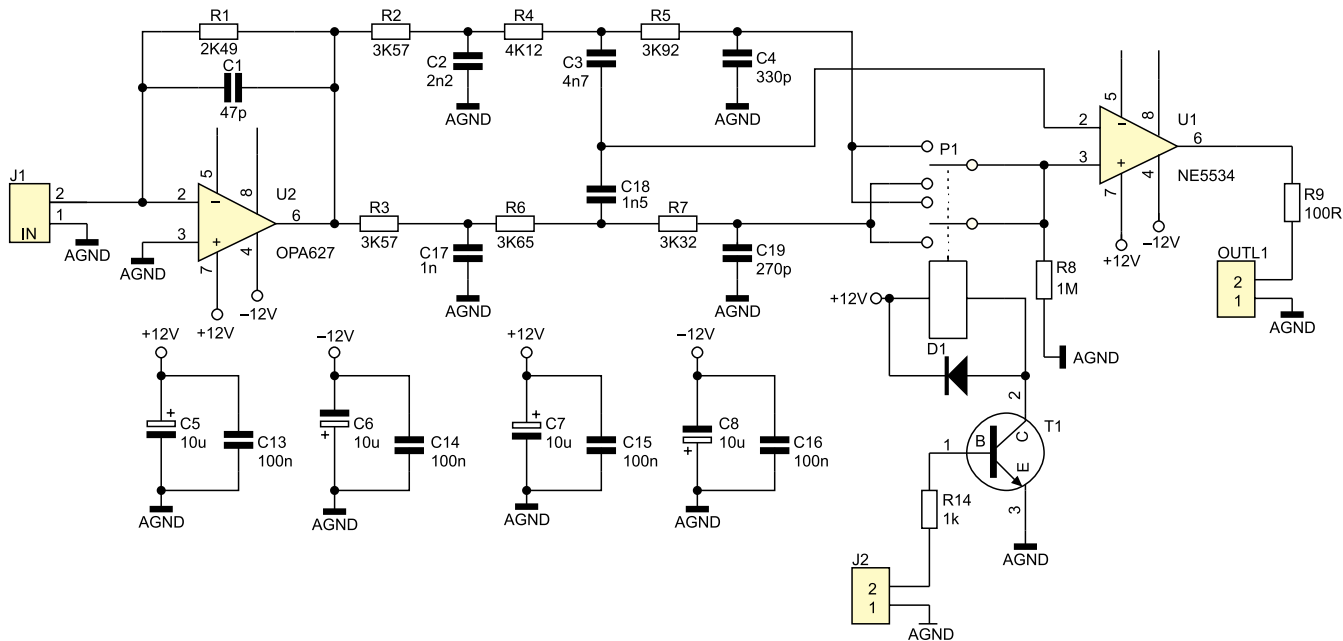
Zasilacz przetwornika (rys. 1) jest dość rozbudowany. Podzieliłem go funkcjonalnie na dwie części. Pierwsza zasilą odbiornik SPDIF, filtr cyfrowy i sterownik mikroprocesorowy. Ma swój oddzielny mostek i jest zasilana z oddzielnego uzwojenia transformatora. Napięcie +3,3 V uzyskiwane ze stabilizatora LM2937-3,3 (U6) zasilają część cyfrową odbiornika WM8804, filtr DF1706 i mikrokontroler PIC18F2580. Taki sam stabilizator (U7) jest źródłem napięcia dla części analogowej odbiornika WM8804. Wyświetlacz LCD ze sterownikiem HD44780 jest zasilany ze stabilizatora 7805 (U12).



Rysunek 16. Schemat montażowy płytki interfejsu użytkownika

Druga część zasilacza zasilą przetworniki PCM1704. Te układy wymagają symetrycznego napięcia zasilania o wartości ± 5 V, zarówno dla części cyfrowej, jak i analogowej. Przy-

znam, że nad tą częścią zasilacza zastanawiałem dość długo. Poszukiwania koncentrowały się głównie na dobrym stabilizatorze napięcia ujemnego. Ostatecznie stanęło na popularnej



Rysunek 17. Części analogowa przetwornika z układami PCM1704

parze LM317 i LM337. Układy są tanie i łatwe do zdobycia. Można też użyć ulepszonej wersji – LT317 i LT337, produkowanej przez Linear Technology. Przetworniki wymagają zasilania symetrycznego ± 5 V dla części analogowej i cyfrowej. Zaprojektowałem zasilacz w taki sposób, aby części cyfrowa i analogowa miały doprowadzone napięcia z osobnych stabilizatorów i dlatego ta sekcja wymaga użycia 2 układów LT317/LM317 i 2 stabilizatorów LT337/LM337.

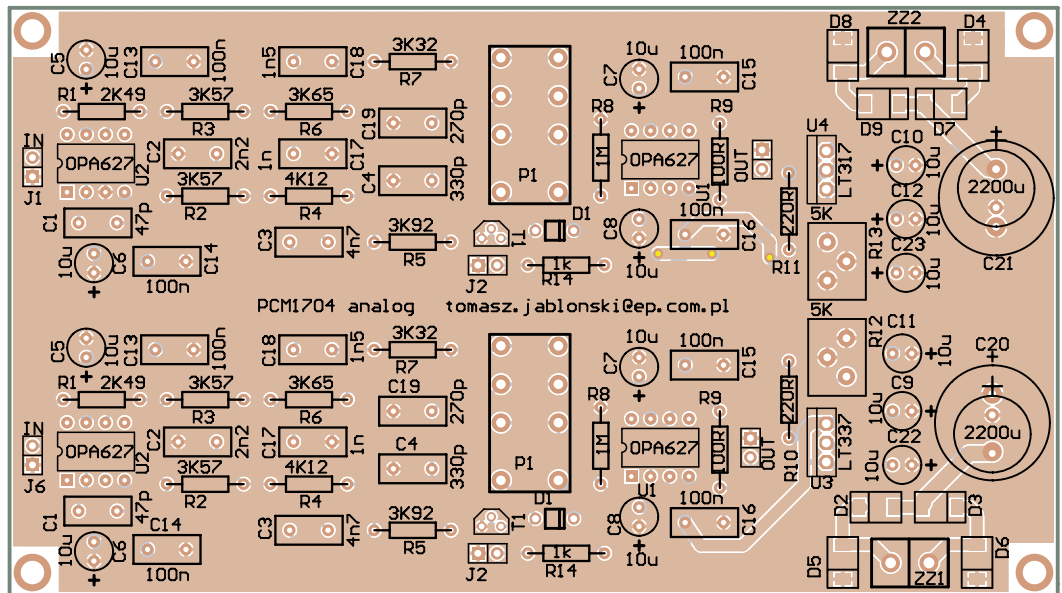
Napięcia wyjściowe zasilaczy jest ustalane za pomocą precyzyjnych montażowych potencjometrów wielobrotowych. Napięcia dodatnie i ujemne mają swoje własne mostki prostownicze i są zasilane z oddzielnych uzwojeń transformatora. Prowadzenie ścieżek uwzględnia rozdzielania mas i łączenie ich w jednym punkcie. Wszystkie napięcia są blokowane kondensatorami elektrolitycznymi i w części przypadków równoległe do nich dołączonymi kondensatorami ceramicznymi SMD o pojemności 100 nF.

Sterownik mikroprocesorowy

Sterownik jest zbudowany w oparciu o mikrokontroler PIC18F2580. Ma on za zadanie zainicjowanie układu odbiornika WM8804 do pracy w trybie programowym, oraz sterowanie poziomem sygnału w układzie filtra DF1706. Do komunikacji z odbiornikiem wykorzystywany jest sprzętowy moduł MSSP skonfigurowany jako *I2C Master*. Interfejs SPI do komunikacji z filtrem DF1706 jest emulowany za pomocą linii portów: RC5 – MD, RC6 – MC, RC7 – ML. Mikrokontroler w obudowie do montażu powierzchniowego jest montowany na płytce razem z przetwornikami. Złącze ICSP jest przewidziane do podłączenia programatora. Rezystory R2 i R3 podciągają do plusa zasilania linie interfejsu I²C. Schemat montażowy płytki przetwornika C/A z mikrokontrolerem zamieszczono na **rysunku 14**.

Interfejs użytkownika tworzą wyświetlacz LCD 2 linie×16 znaków, impulsator (enkoder obrotowy) firmy Bourns i jeden przycisk. Dołączenie odbiornika podczerwieni na częstotliwość 36 kHz umożliwi sterowanie funkcjami DAC za pomocą nadajnika kodów RC5.

Elementy interfejsu użytkownika: wyświetlacz LCD, impulsator, opcjonalne diody LED, oraz mikrotyki są umieszczone na oddzielnej płytce. Wszystkie sygnały niezbędne do połączenia obu płytek są wyprowadzone na złącze CTRL1. Schemat Ideowy płytki interfejsu został pokazano na **rysunku 15**, a schemat montażowy na **rysunku 16**.



Rysunek 18. Schemat montażowy płytki części analogowej

Analogowy filtr dolnoprzepustowy

Część analogowa przetwornika z układami PCM1704 musi spełniać dwie ważne funkcje. Pierwszą jest konwersja prąd/napięcie, a drugą filtrowanie dolnoprzepustowe sygnału wyjściowego przetwornika. W tym przetworniku do testów użyłem kopii układu filtra z Elektora nr 11/1999. Znany i ceniony autor Ton Giesberts opublikował tam opis przetwornika audio DAC 2000. O ile konwerter jest identyczny jak w materiałach producenta, to filtr jest oryginalnym opracowaniem autora.

Najprostszym konwerterem prądu na napięcie jest rezystor włączony pomiędzy wyjście przetwornika a masę. Przepływający prąd wywoła spadek napięcia na oporniku. Takie rozwiązanie jest czasami proponowane przez „audiofilii minimalistów”. Argumentem za ma być prostota i brak elementów aktywnych, potencjalnie wnoszących zaburzenia. Jednak sygnał napięciowy z opornika trzeba obciążyć stopniem wzmacniającym mającym skończoną impedancję. Układ jest w mniejszym lub większym stopniu zależny od obciążenia i z tego powodu na taki stopień się nie zdecydowałem. Dużo lepszym rozwiązaniem jest konwerter prąd/napięcie ze wzmacniaczem operacyjnym. Taką rolę spełnia układ U2 (**rysunek 17**).

Rezystancja rezystora R1 jest tak dobrana, aby napięcie wyjściowe miało standardowy poziom 2 V_{Rms}, a kondensator C1 wprowadza dodatkową korekcję częstotliwościową konwersji (filtruje składowe wielkiej częstotliwości). Układ ze wzmacniaczem operacyjnym charakteryzuje się bardzo małym prądem polaryzacji, dużą szybkością narastania sygnału i doskonałą liniowością. W tym układzie jest zalecana konfiguracja OPA627 z prądem polaryzacji 10 pA, prędkością narastania sygnału 55 V/μs i zniekształceniami nieliniowymi na poziomie 0,00003%. Jednak OPA627 jest bardzo drogim układem. W sprzedaży detalicznej

kosztuje ok. 150 złotych netto w obudowie DIP8. Można w jego miejsce próbować wybrać tańszy układ o podobnych parametrach. Ja zastosowałem tańszą wersję OPA627 w obudowie SMD, zamontowaną na płytce pośredniczącej SO-DIP.

Filtr dolnoprzepustowy to w zasadzie 2 filtry przełączane stykami przełącznika. Pierwszy filtr z rezystorami R2 i R5 oraz kondensatorami C2 i C4 jest filtrem Butterwortha 3-ciego rzędu przeznaczonym do użycia przy konwersji danych próbkowanych z częstotliwościami 32; 44,1 i 48 kHz. Częstotliwość odcięcia ustalono na ok. 27 kHz. Drugi filtr, Bessela 3-ciego rzędu, z rezystorami R3 i R7 oraz kondensatorami C17 i C19 jest używany przy konwertowaniu materiału muzycznego próbkowanego z częstotliwościami 88,2 i 96 kHz. Cewka przełącznika przełączającego filtry jest zasilana napięciem +12 V i sterowana przez podanie napięcia na bazę tranzystora T1. Rezystor R14 ogranicza prąd bazy T1.

Układ zasilania dostarcza napięcie symetrycznych ze stabilizatorów LT317/337. Są one regulowane potencjometrami montażowymi R12 i R13. Pozwala to na ustawienie równych napięć w gałęzi dodatniej i ujemnej oraz ustawienie napięcia dostosowanego do zastosowanych wzmacniaczy operacyjnych. Dla OPA627 trzeba ustawić napięcie ± 12 V, a dla innych wzmacniaczy możliwe będzie ustawienie napięcia ± 15 V. Schemat montażowy części analogowej pokazano na **rysunku 18**.

Podsumowanie

W tej części artykułu omówiłem podstawy teoretyczne umożliwiające zrozumienie sposobu działania przetwornika i jego oprogramowania. W kolejnej części opiszę uruchomienie oraz wyniki pomiarów i testów odsłuchowych wykonanego urządzenia.

Tomasz Jabłoński, EP