



PROJEKTOWANIE OBWODÓW DRUKOWANYCH

W6 – Zasilanie i odprowadzanie ciepła

Data 27.03.2023

Układy zasilania – stabilizatory liniowe

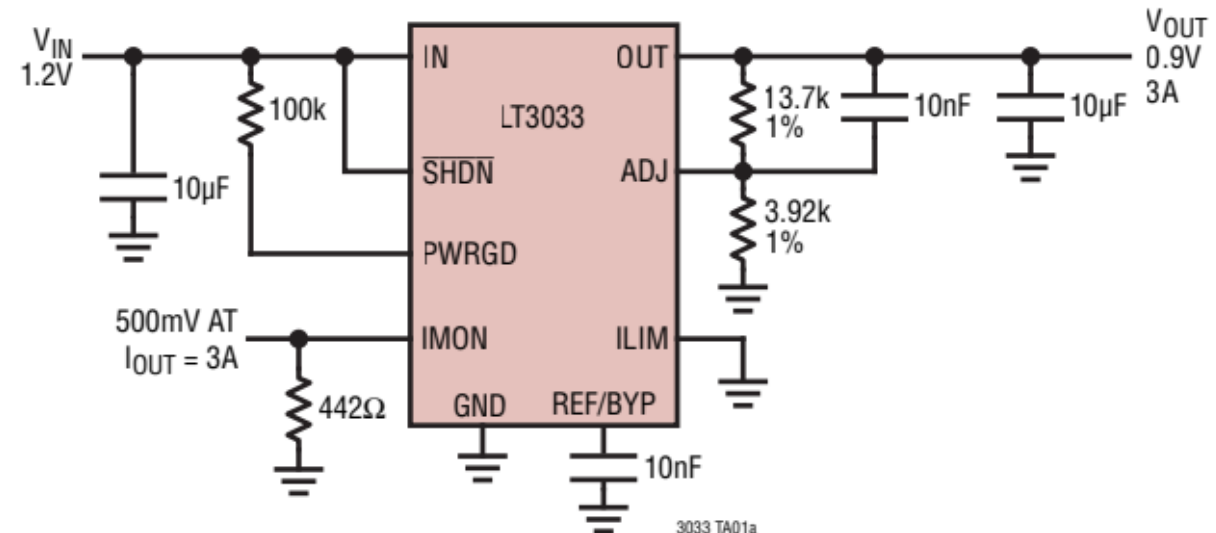
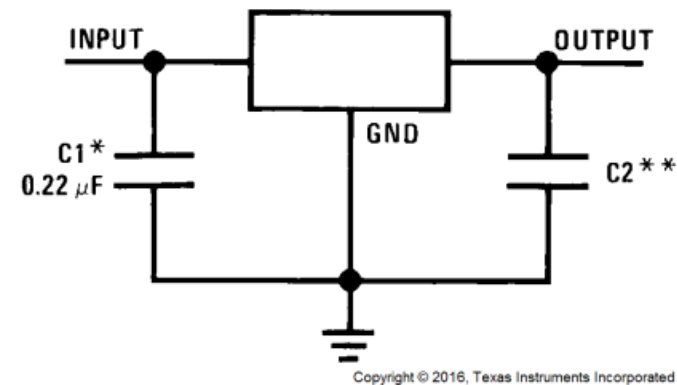
Klasyczne – wręcz legendarne:

- ❑ Seria 780x – dodatnie napięcie
- ❑ Seria 790x – ujemne napięcie
- ❑ LM317
- ❑ LM1117

Współczesne np:

- ❑ LT3040 – ultra niskoszumne
- ❑ LT3033 – LDO, prąd 3A

Fixed Output Voltage Regulator



Układy zasilania – stabilizatory liniowe

Właściwości:

- ❑ Tanie – szczególnie „klasyczne” konstrukcje
- ❑ Niskie szумы i zakłócenia
- ❑ Wymagają małej liczby komponentów na PCB
- ❑ Spore straty mocy
- ❑ Generują znaczne ciepło
- ❑ Awaryjne
- ❑ Wąski zakres napięć wejściowych i wyjściowych

Dropout voltage – jest różnica pomiędzy napięciem wejściowym i wyjściowym. Jest to niezbędne napięcie by stabilizator działał poprawnie

$$V_i \geq V_o + V_d$$

V_i – napięcie wejściowe

V_o – napięcie wyjściowe

V_d – dropout układu

ΔI_q	Quiescent current change	$V_i = 7.5 \text{ to } 20 \text{ V}, T_J = 25^\circ\text{C}$			0.8	mA
		$I_O = 5 \text{ mA to } 1 \text{ A}$			0.5	mA
SVR	Supply voltage rejection	$V_i = 8 \text{ to } 18 \text{ V}, f = 120 \text{ Hz}, I_O = 500 \text{ mA}$		68		dB
V_d	Dropout voltage	$I_O = 1 \text{ A}, T_J = 25^\circ\text{C}$		2		V
eN	Output noise voltage	$T_A = 25^\circ\text{C}, B = 10 \text{ Hz to } 100 \text{ kHz}$		10		$\mu\text{V}/V_O$
R_O	Output resistance	$f = 1 \text{ kHz}$		17		m Ω
I_{sc}	Short circuit current	$V_i = 35 \text{ V}, T_A = 25^\circ\text{C}$		0.2		A

Cześć dokumentacji układu LM7805

Układy zasilania – przetwornice impulsowe

- ❑ Wielokanałowe;
- ❑ Dedykowane do konkretnych rodzin CPU lub FPGA
- ❑ PMIC (Power Management IC)
- ❑ Do aplikacji bateryjnych

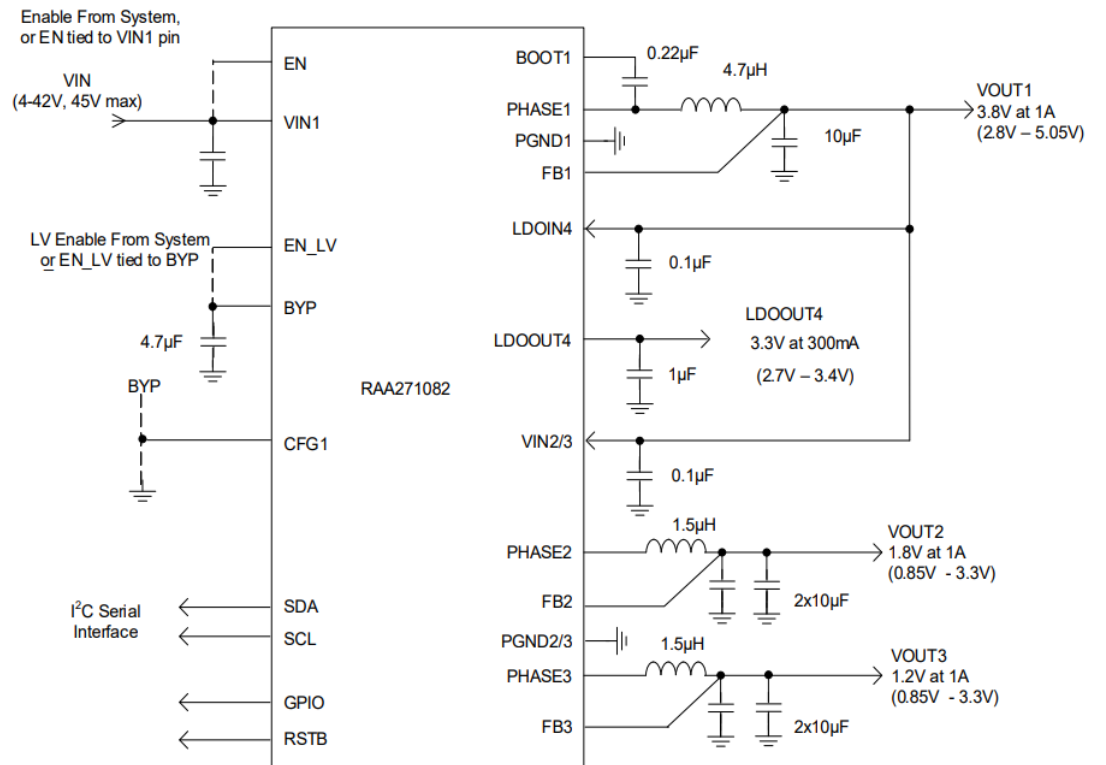
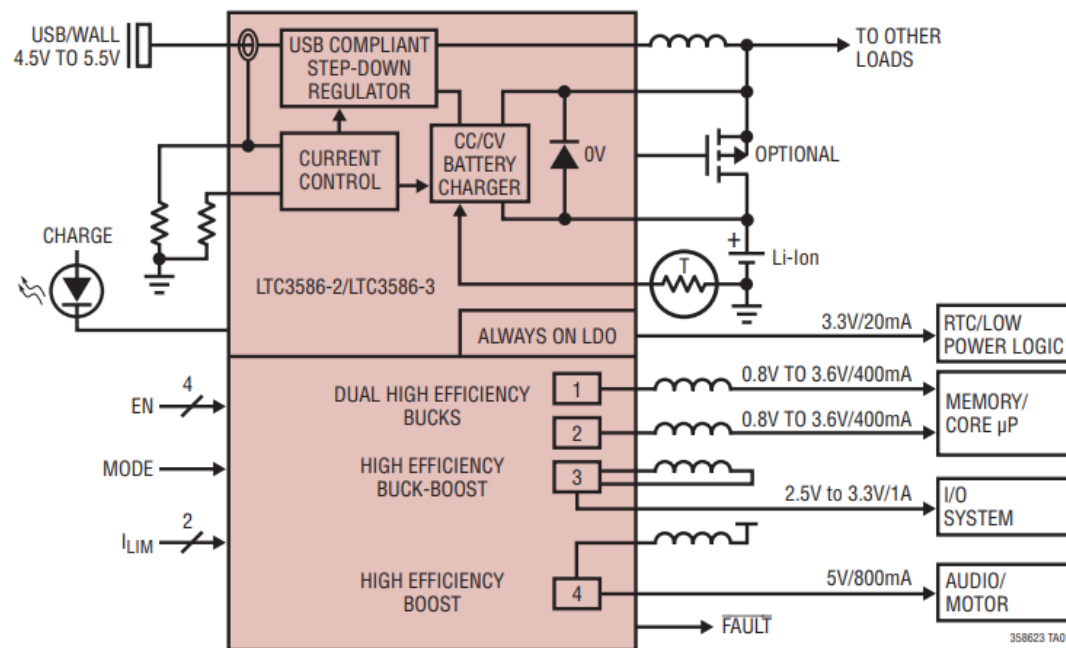
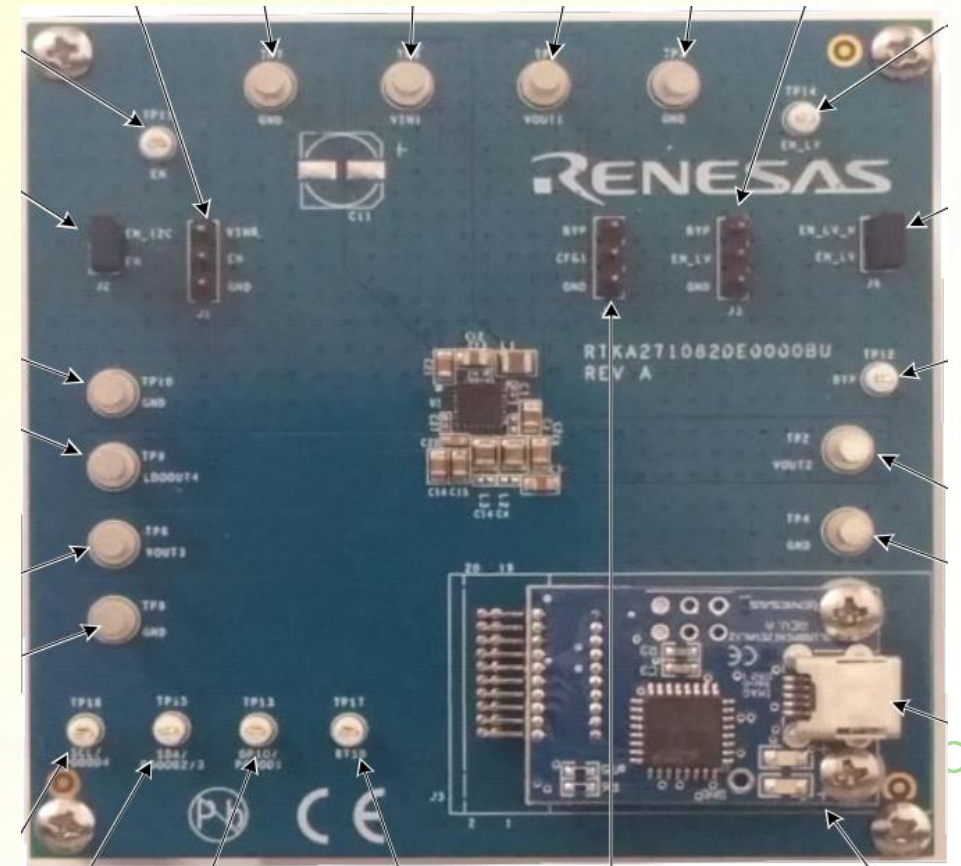


Figure 1. Block Diagram

Układy zasilania – przetwornice impulsowe

Właściwości:

- ☐ Dedykowane do konkretnej aplikacji – „szyte” na miarę
- ☐ Szeroki zakres napięć wejściowych i wyjściowych
- ☐ Wysoka sprawność
- ☐ Zajmują mniej miejsca na PCB niż stabilizatory liniowe o podobnej mocy wyjściowej
- ☐ Trzeba być ostrożnym z wyborem częstotliwości pracy (układy audio, pasmo pracy sygnałów analogowych, etc)
- ☐ Są źródłem zakłóceń
- ☐ Cena
- ☐ Krytyczny jest layout PCB
- ☐ Wymagają sporo elementów zewnętrznych

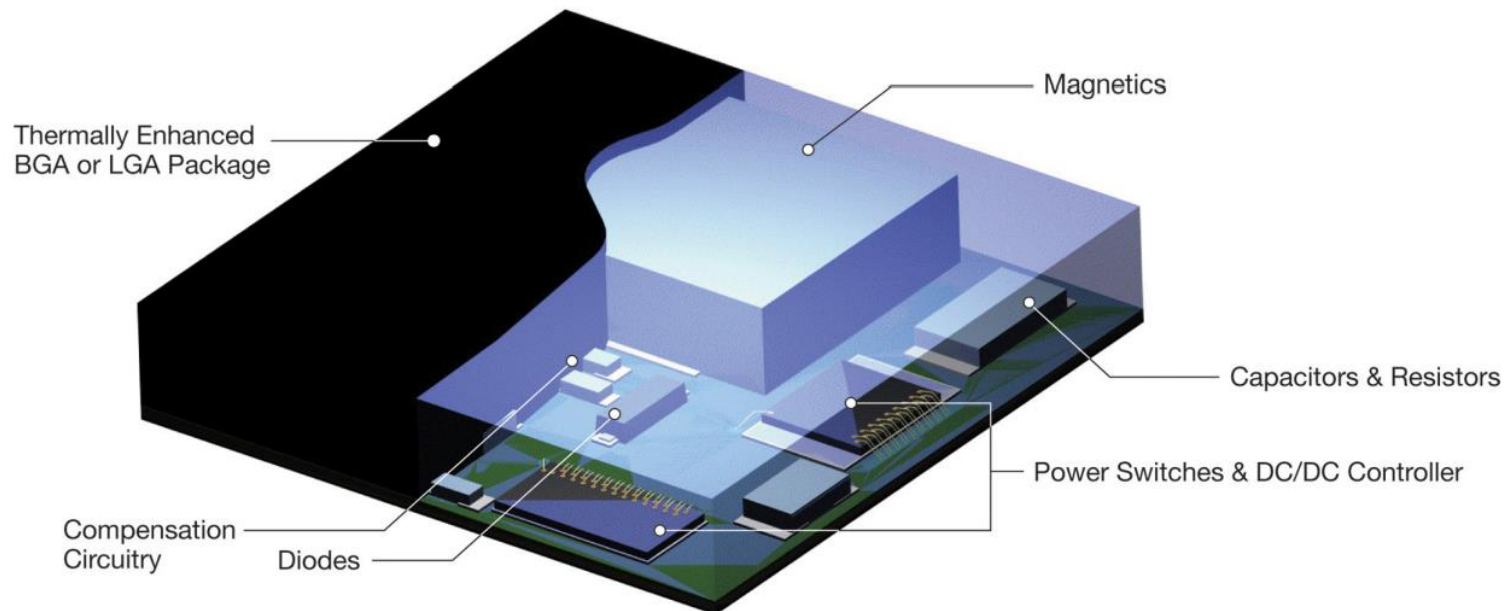


RAA271082 Evaluation Board

Układy zasilania – moduły DCDC

- ☐ Zintegrowane
- ☐ DC-DC lub AC-DC
- ☐ Bezpieczne (niskie ryzyko porażania HV, hermetyczne)
- ☐ Niskoszumne np. LTM8074

LTM4644 (4A Quad): 240mm²



Układy zasilania – moduły DCDC

Właściwości:

- ☐ Uproszczony layout
- ☐ Duża niezawodność
- ☐ Łatwe uruchamianie
- ☐ Wstępna certyfikacja EMC
- ☐ Uproszczony montaż
- ☐ Mały rozmiar
- ☐ Szumy
- ☐ Wysoka cena
- ☐ Dostępność może być kłopotliwa

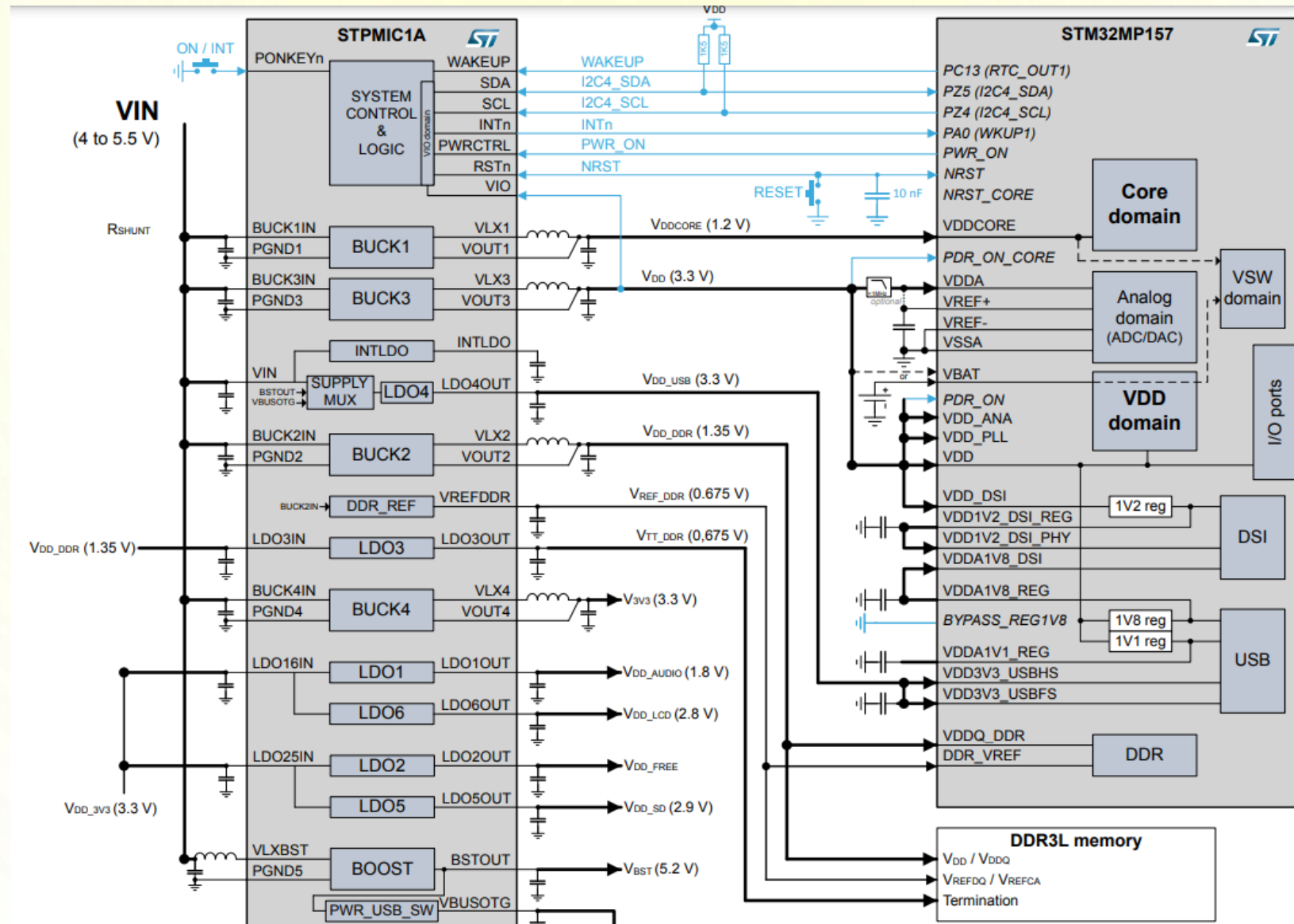


PTH08T250 TI, Output 3,3V@50A

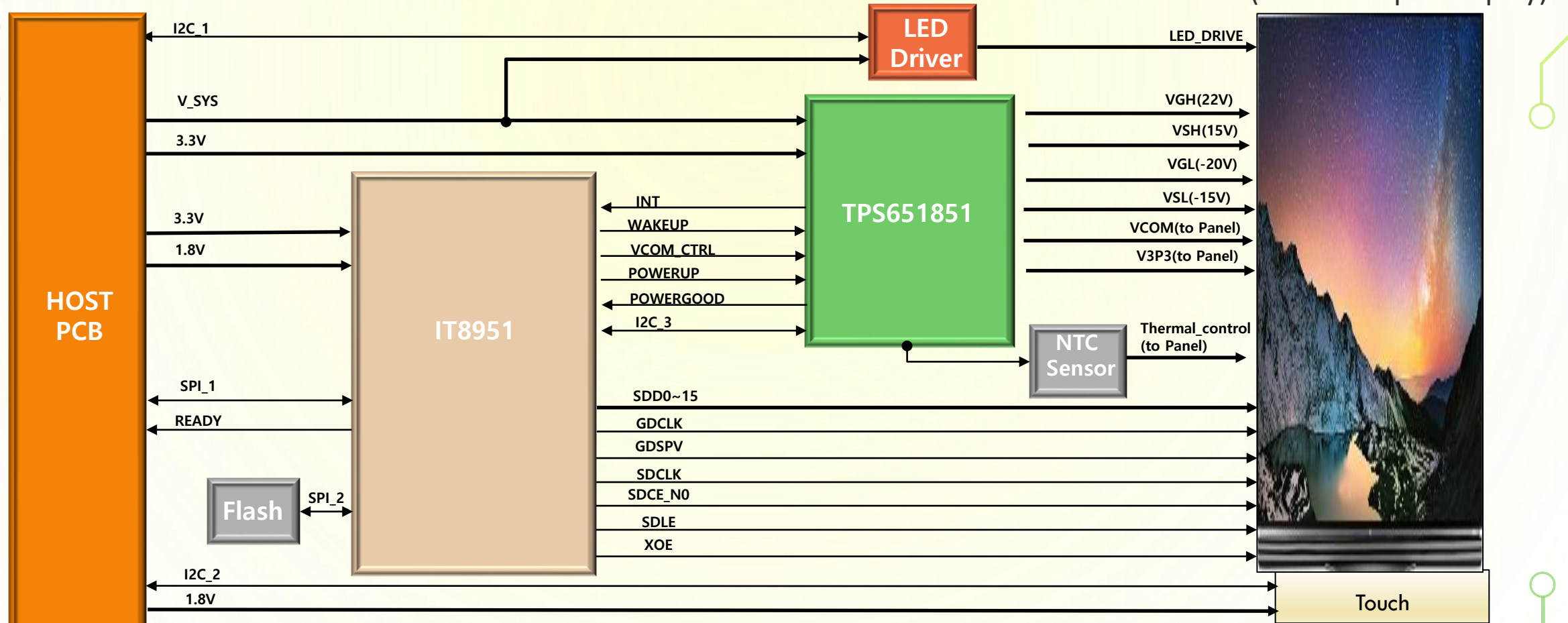


BCM Vicor, Output 12V@125A

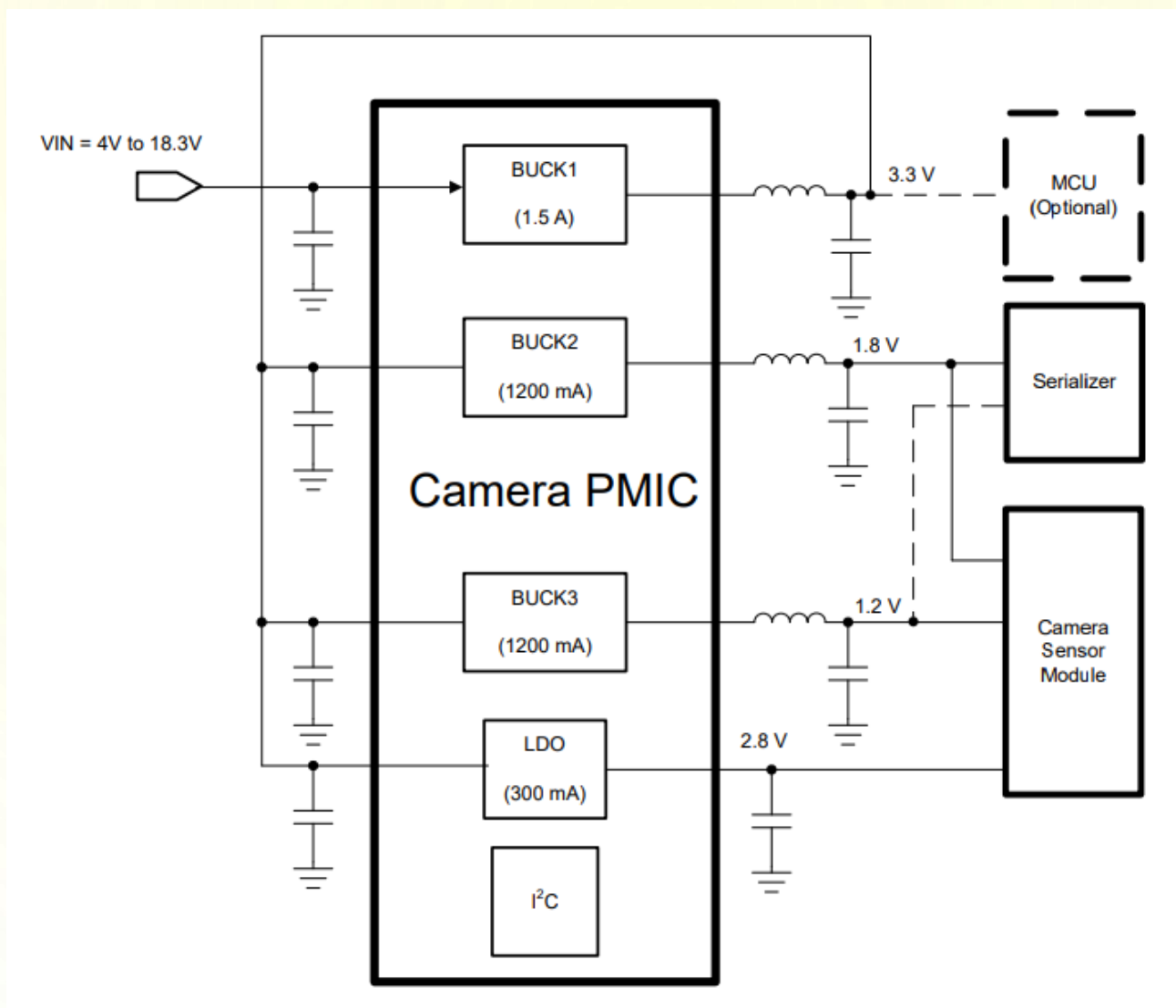
PMIC - przykłady



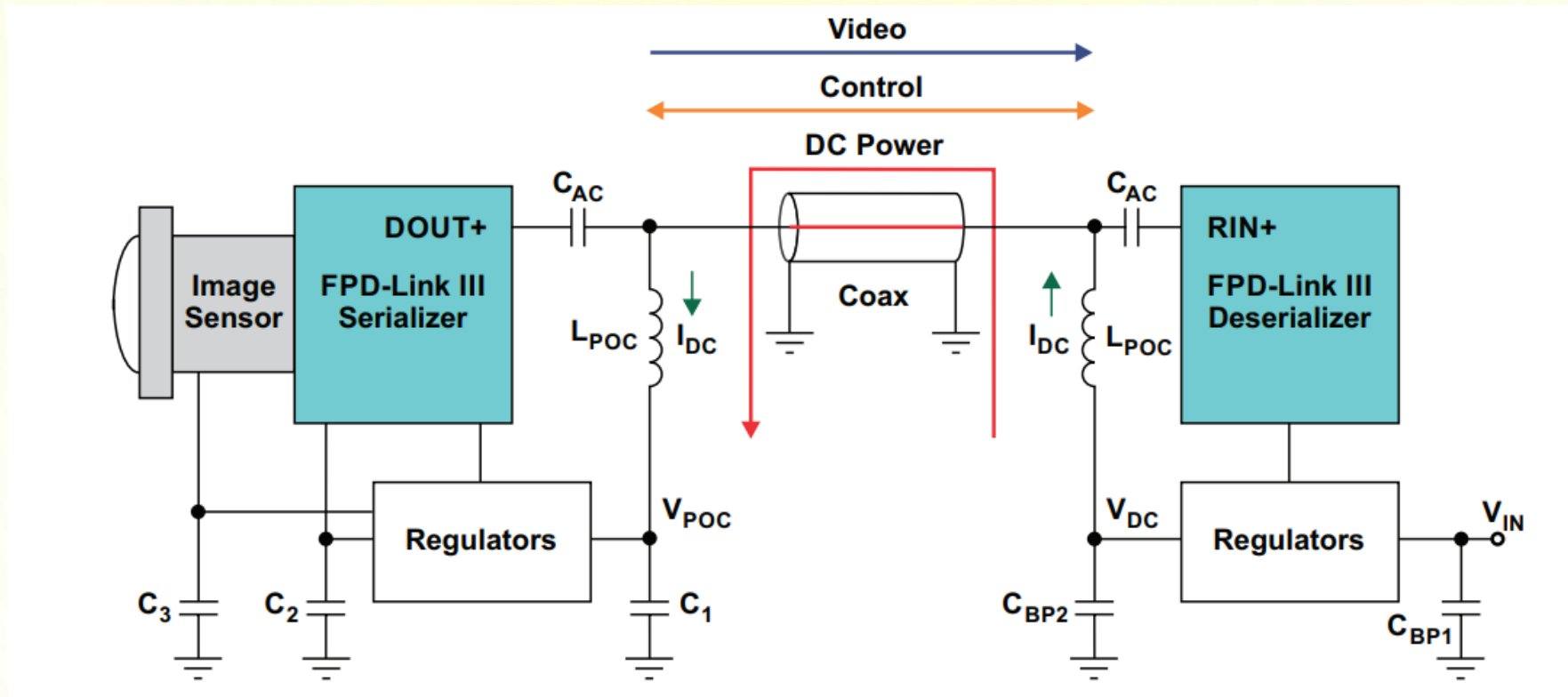
PMIC - przykłady



PMIC – przykłady



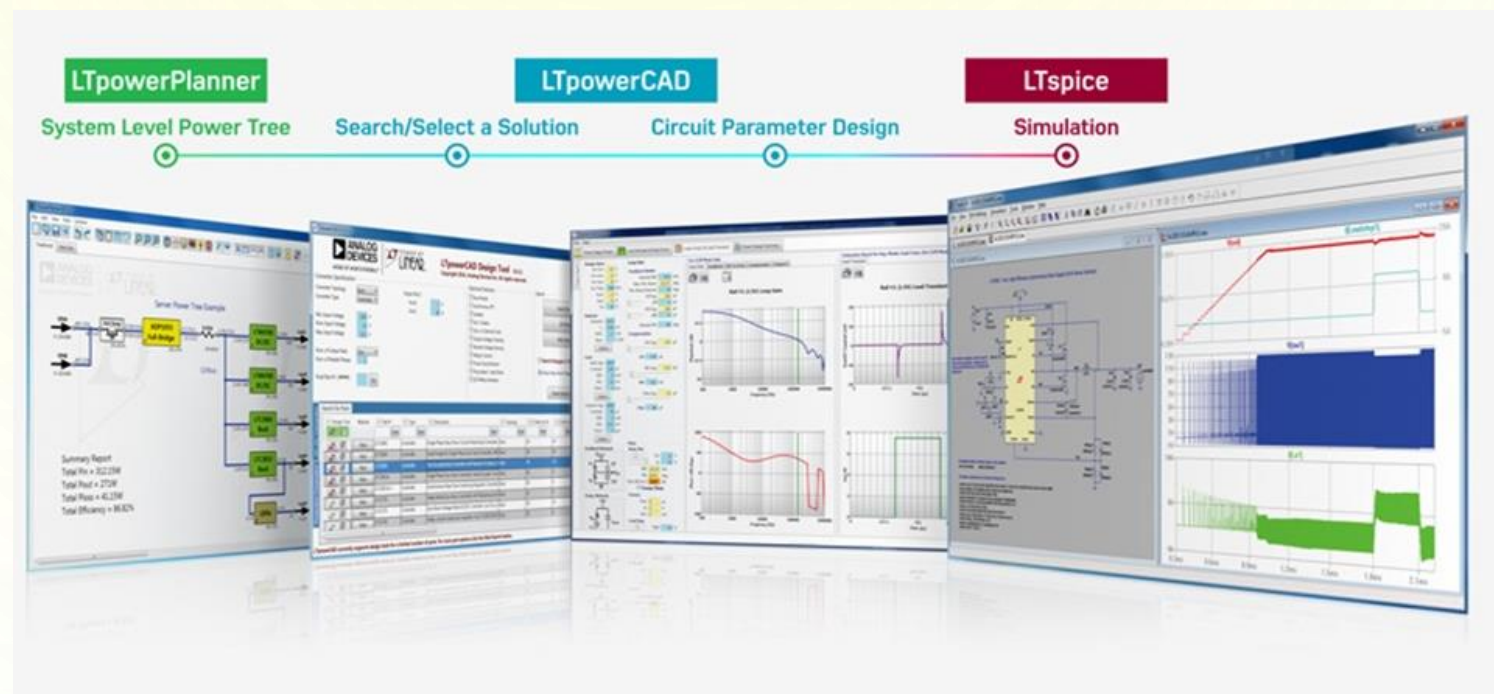
PoC – Power over Coax



Układy zasilania – narzędzia

Do projektowania układów przetwornic impulsowych istnieją gotowe kalkulatory przygotowane przez producentów np.:

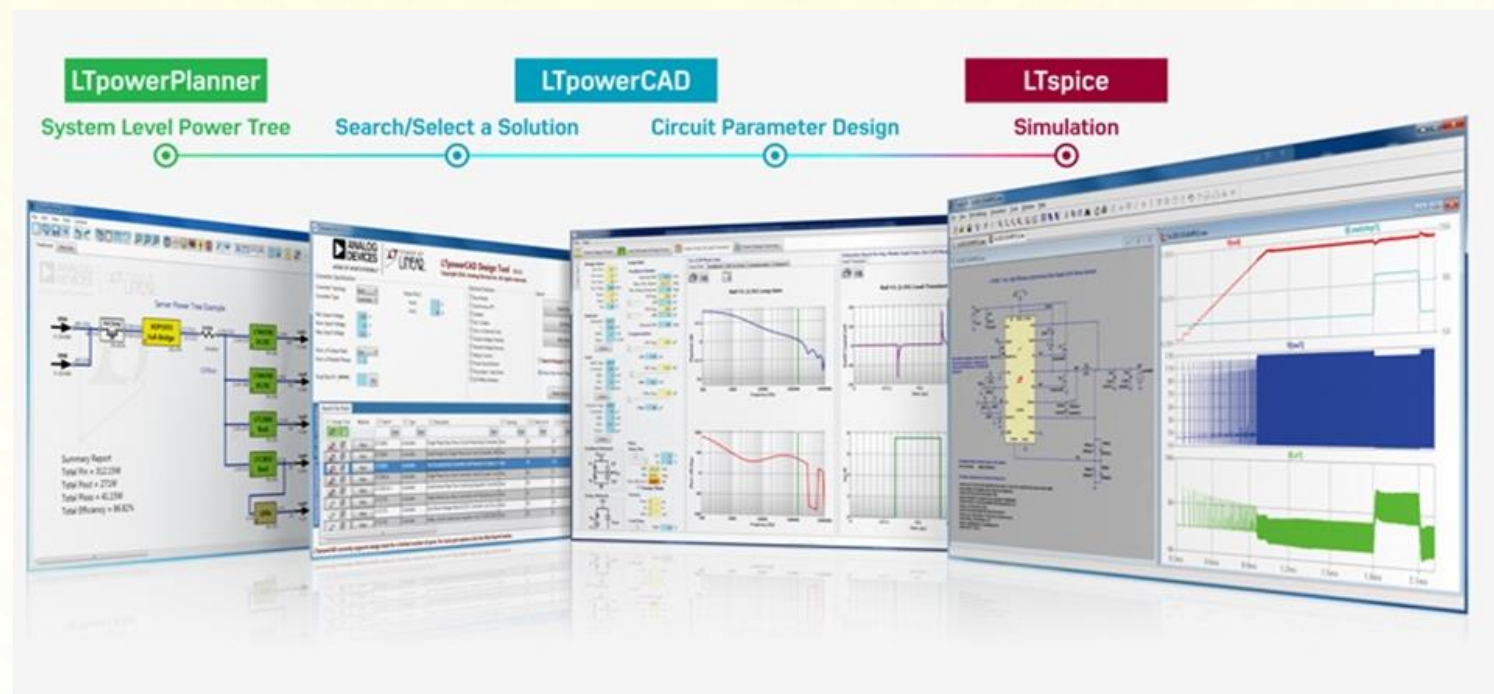
- ❑ WEBENCH Power Designer firmy TI
- ❑ DC DC Designer Online firmy MPS Semiconductor
- ❑ iSim:PE Offline Simulation Tool firmy Renesas
- ❑ LTpowerCAD and LTpowerPlanner firmy Analog Device



Układy zasilania – narzędzia dla FPGA

Do projektowania układów przetwornic impulsowych istnieją gotowe kalkulatory przygotowane przez producentów np.:

❑ <https://www.ti.com/design-resources/design-tools-simulation/processor-fpga-power/overview.html>



Układy zasilania – parametry termiczne

Dane wejściowe:

Napięcie wejściowe: 9-12V

Napięcie wyjściowe: 5V

Prąd wyjściowy: 1A

Temp stabilizatora liniowego 7805

$V_d = V_i - V_{out} = 12V - 5V = 7V$ (najgorszy przypadek)

$P_{tot} = V_d * I_o = 7V * 1A = 7W$ (moc strat na stabilizatorze)

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾	LM340, LM7805 Family				UNIT
	NDE (TO-220)	KTT (DDPAK/TO-263)	DCY (SOT-223)	NDS (TO-3)	
	3 PINS	3 PINS	4 PINS	2 PINS	
$R_{\theta JA}$ Junction-to-ambient thermal resistance	23.9	44.8	62.1	39	°C/W
$R_{\theta JC(top)}$ Junction-to-case (top) thermal resistance	16.7	45.6	44	2	°C/W
$R_{\theta JB}$ Junction-to-board thermal resistance	5.3	24.4	10.7	—	°C/W
Ψ_{JT} Junction-to-top characterization parameter	5.2	11.2	2.7	—	°C/W
Ψ_{JB} Junction-to-board characterization parameter	5.3	23.4	10.6	—	°C/W
$R_{\theta JC(bot)}$ Junction-to-case (bottom) thermal resistance	1.7	1.5	—	—	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

Temperatura:

$T = 62,1^{\circ}\text{C}$ (dla obudowy TO-220);

$T = 195,8^{\circ}\text{C}$ (dla obudowy DDPAK)

$T = 99,9^{\circ}\text{C}$ (dla obudowy SOT223)

$$T = T_{pcb} + (R_{jb} * P_{tot})$$

T_{pcb} – temp. otoczenia 25°C)

Układy zasilania – parametry termiczne

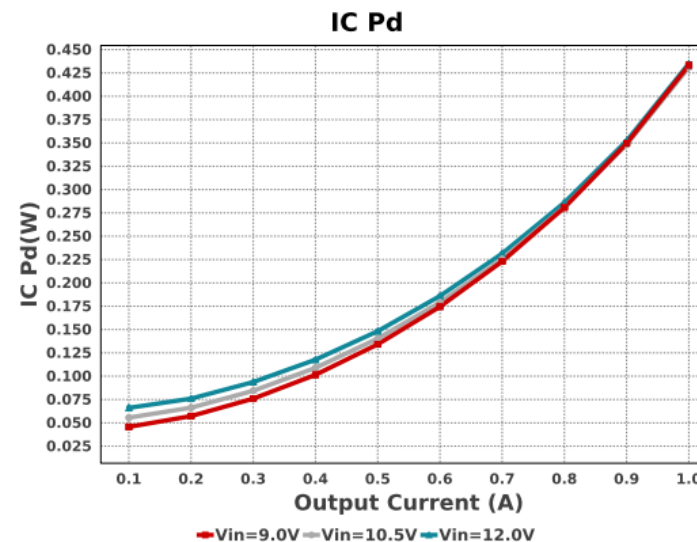
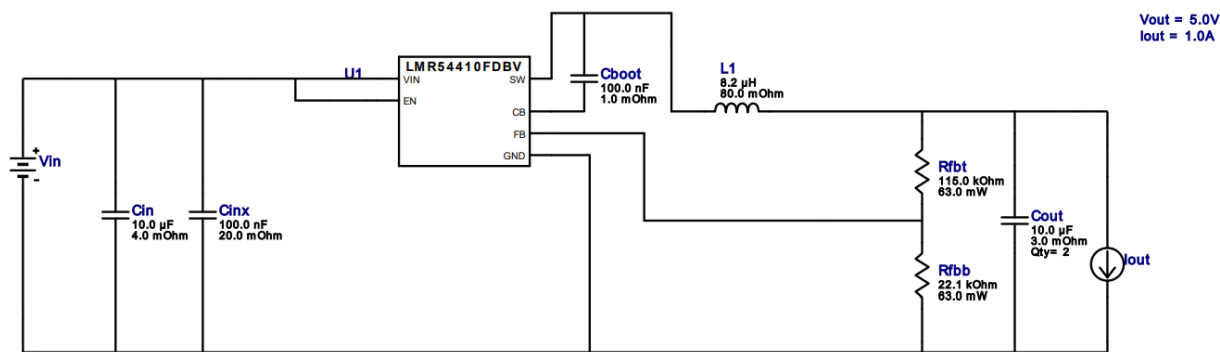
Dane wejściowe:

Napięcie wejściowe: 9-12V

Napięcie wyjściowe: 5V

Prąd wyjściowy: 1A

Do zaprojektowania tego układu zasilania wykorzystano WEBENCH Power Designer



7.4 Thermal Information

THERMAL METRIC ⁽¹⁾		DBV(SOT-23-6)	UNIT
		6 PINS	
R _{θJA} ⁽²⁾	Junction-to-ambient thermal resistance	173	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	116	°C/W
R _{θJB}	Junction-to-board thermal resistance	31	°C/W
ψ _{JT}	Junction-to-top characterization parameter	20	°C/W
ψ _{JB}	Junction-to-board characterization parameter	30	°C/W

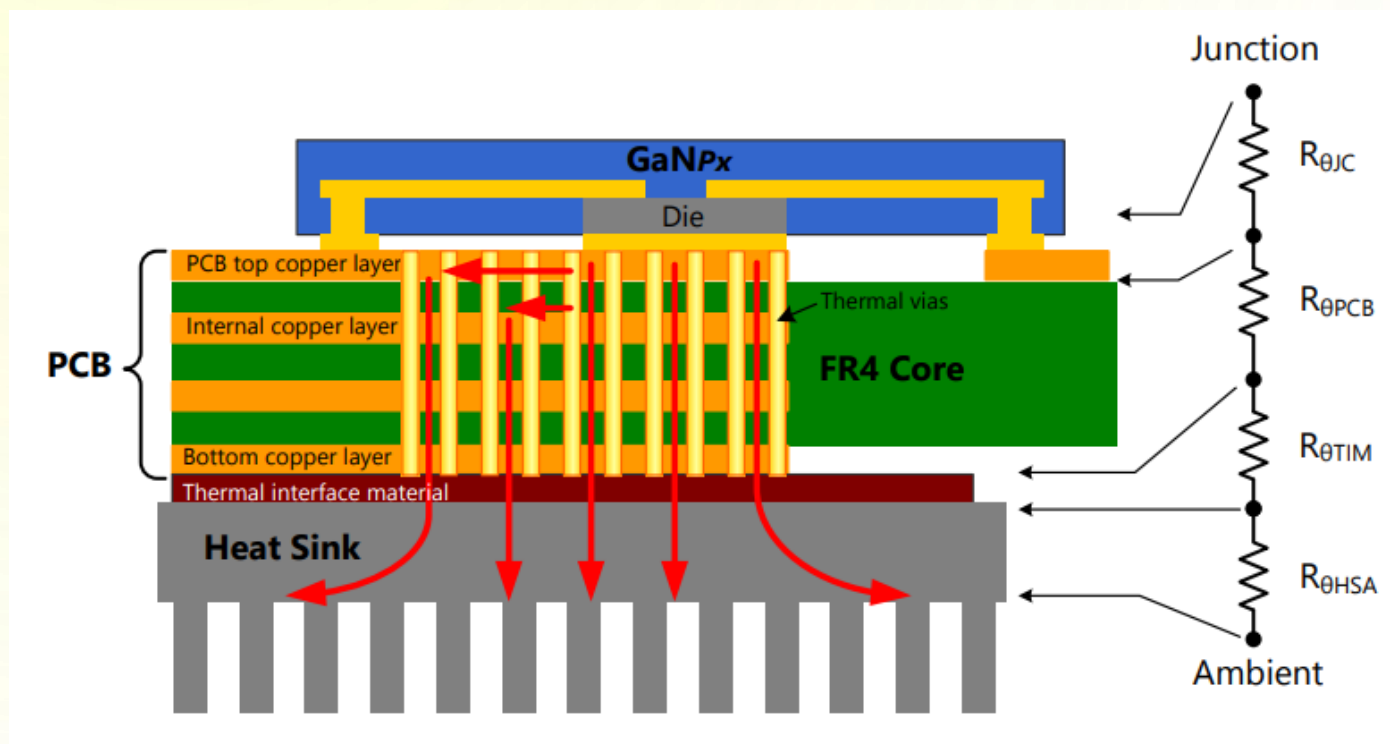
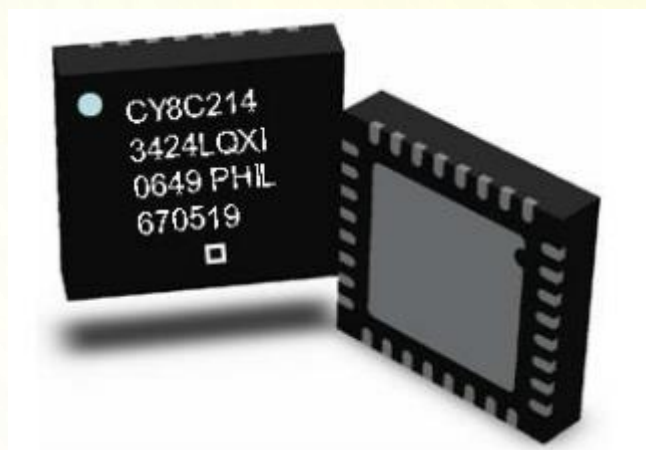
$$T = T_{pcb} + (R_{jb} * P_{tot}) , T_{pcb} - \text{temp. otoczenia } 25^{\circ}\text{C}$$

$$T = 25^{\circ}\text{C} + (31^{\circ}\text{C/W} * 0,45\text{W})$$

$$T = 39^{\circ}\text{C}$$

Co zrobić by rozproszyć temperaturę układu?

- ☐ Zwiększenie powierzchni miedzi pod thermal-pad
- ☐ Zastosowanie „thermal via”
- ☐ Użycie laminatu aluminiowego lub z rdzeniem miedzianym
- ☐ Zastosowanie radiatorów lub aktywnego chłodzenia



Thermal Pad

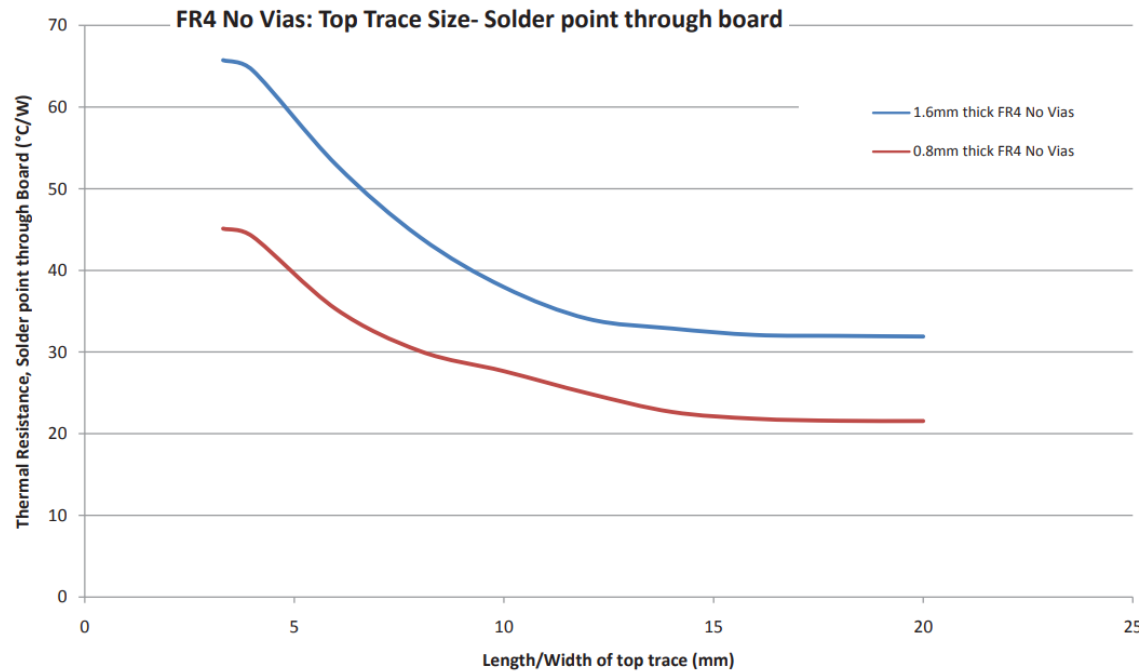
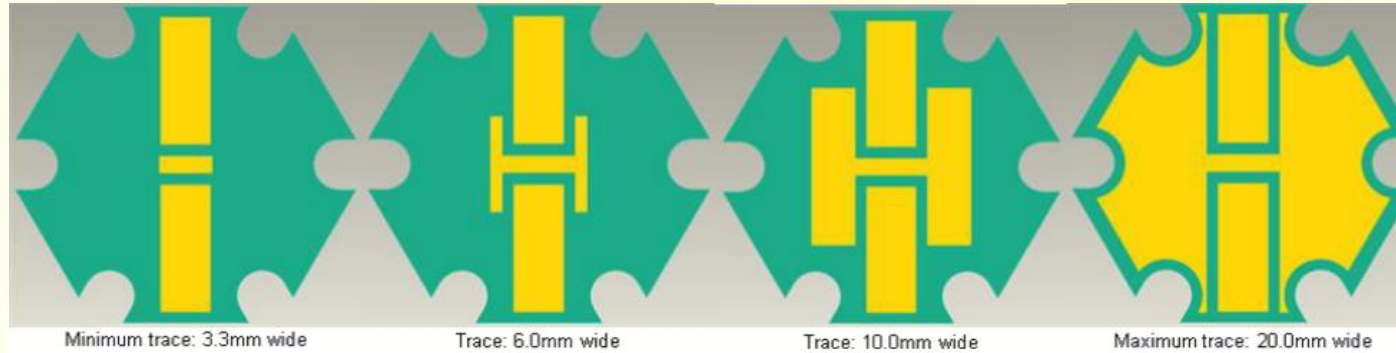
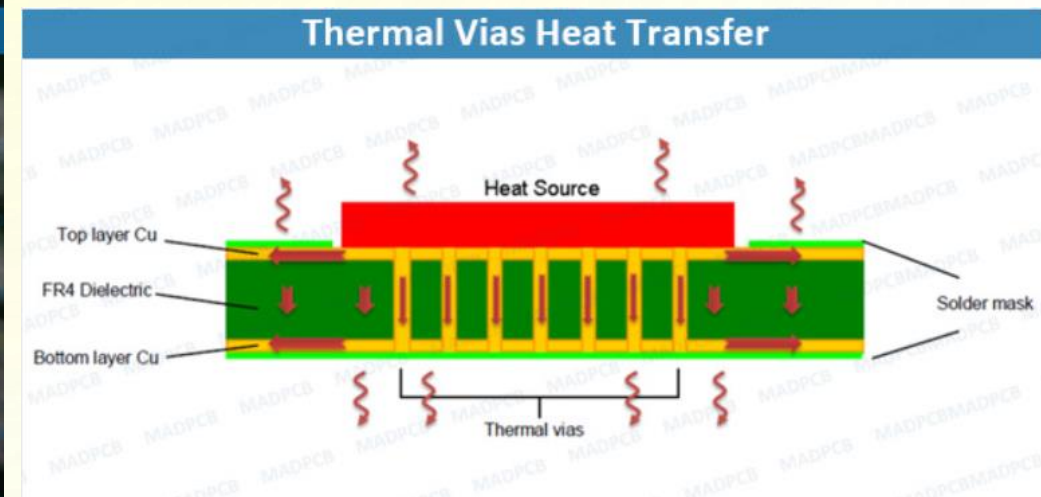
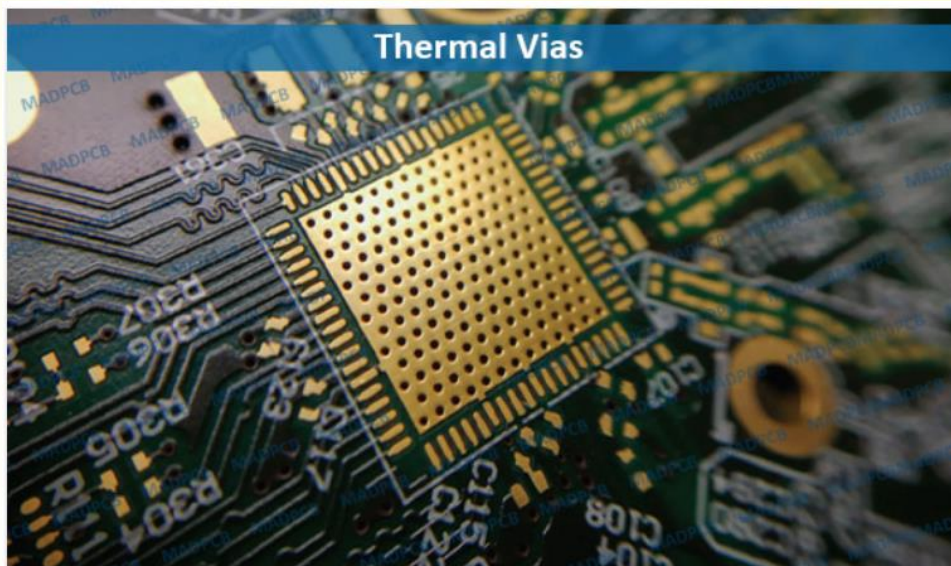


Chart 1: Thermal resistance for FR-4 PCB with no vias with varying thermal pad size

Dla powyższego przykładu widać że zwiększanie powierzchni thermal padu powyżej 12mm nie zmienia znacząco rezystancji termicznej

Thermal Via

Thermal Vias to prosta technika, polegająca na użyciu metalizowanych przelotek (PTH), które znajdują się pod montowanym elementem SMD. Dzięki temu przelotki te umożliwiają przenoszenie ciepła na kolejne warstwy laminatu. Przelotki thermal-via zmniejszają rezystancję termiczną połączenia komponent-obwód drukowany. Wymagane jest użycie matrycy przelotek w celu skutecznego odprowadzenia ciepła.



Thermal Via

Rezystancja termiczna thermal-via o średnicy 0,6mm i grubości miedzi 35um:

- ❑ Tradycyjna 64 stC/W;
- ❑ Zalana cyną (celowo - podczas lutowania) ok. 42 stC/W
- ❑ Typu VII 14stC/W

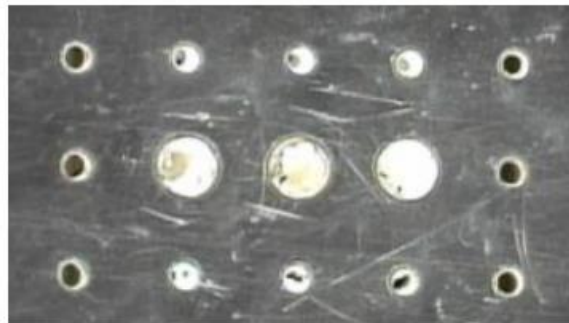


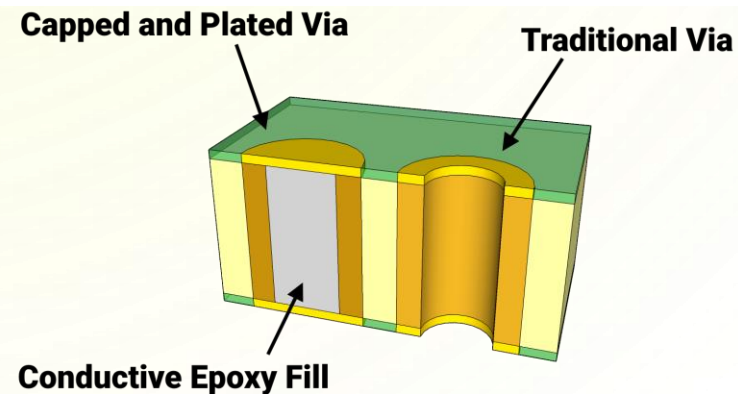
Figure 6: Unfilled vias



Figure 7: Solder voiding (not to scale)



Figure 8: Tented vias with bottom-side solder mask (not to scale)



Thermal Via

Thermal Via zawsze łączymy z padem **bezpośrednio !!!**

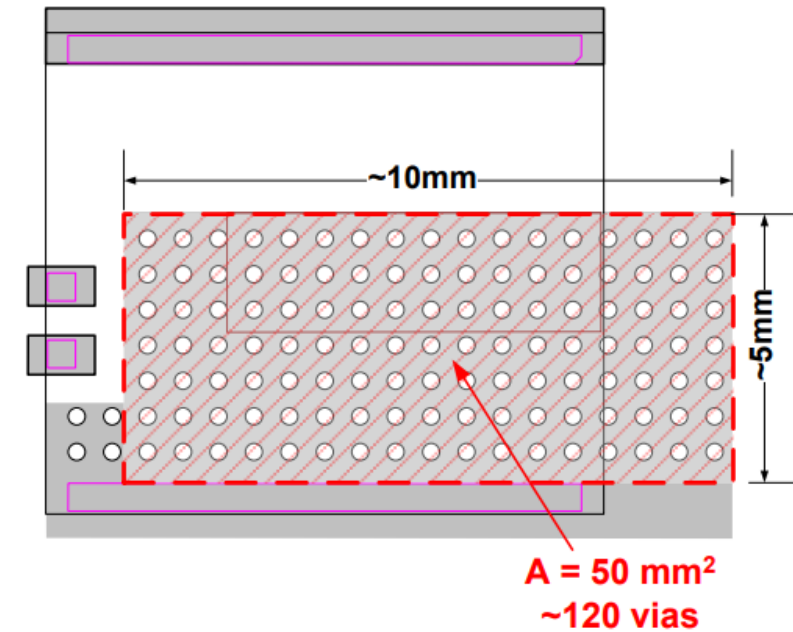
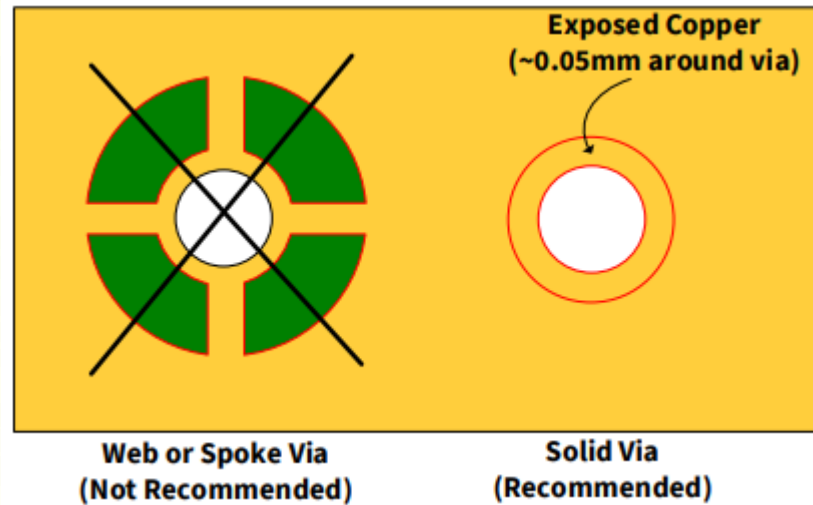
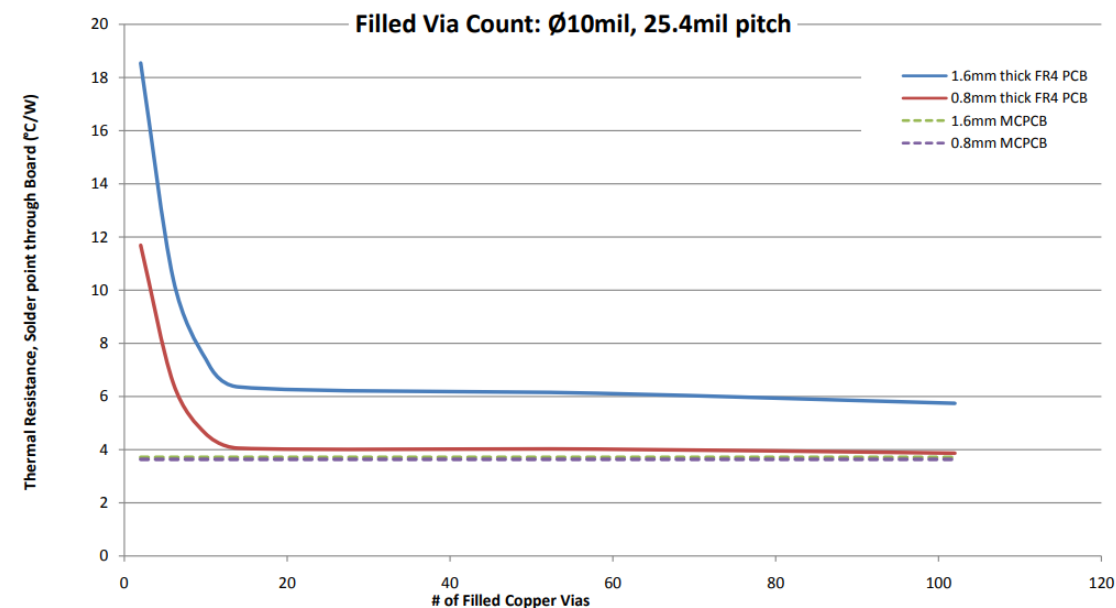
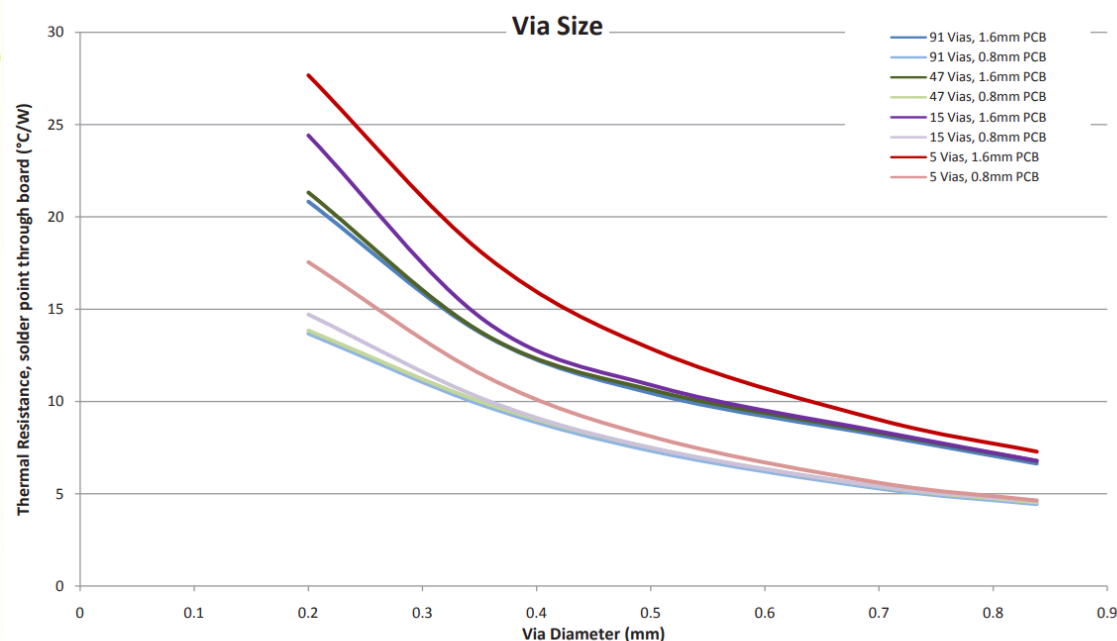


Figure 7 Recommended minimum copper area under thermal pad

Thermal Via



Metody zwiększające skuteczność stosowania thermal-via

- ☐ Jeśli jest możliwość dodaj odpowiednio dużo przelotek thermal-via;
- ☐ Zwiększenie średnicy przelotek korzystnie wpływa na przewodność cieplną połączenia;
- ☐ Używaj przelotek zalewanych (najlepiej Via typu VII);
- ☐ W przypadku używania przelotek PTH (niezalewanych) zakryj je soldermaską po stronie przeciwnej niż umieszczony jest układ z thermal-pad;

FR4 vs ALU

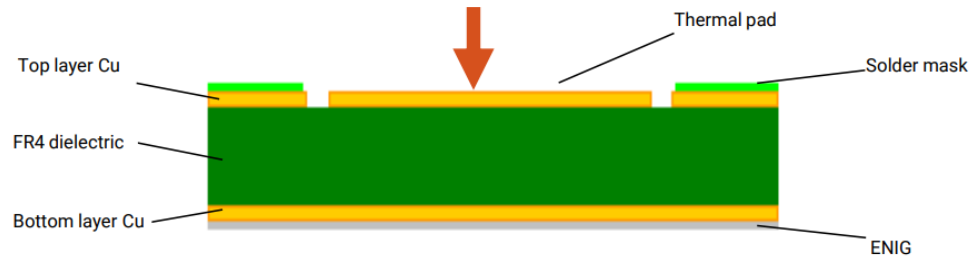


Figure 2: FR-4 cross-sectional geometry (not to scale)

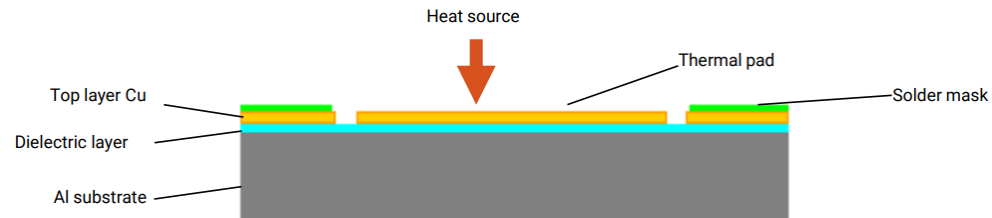


Figure 3: MCPCB cross-sectional geometry (not to scale)

Table 3: Typical thermal conductivities of FR-4 board layers

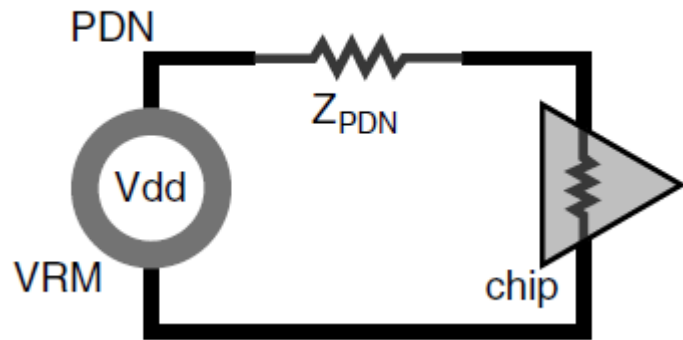
Layer/Material	Thickness (μm)	Thermal conductivity (W/mK)
SnAgCu solder	75	58
Top layer copper	70	398
FR-4 dielectric	1588	0.2
Bottom layer copper	70	398
Electroless Nickel/Immersion Gold (ENIG)	5	4.2

Table 4: Typical thermal conductivities of MCPCB layers

Layer/Material	Thickness (μm)	Thermal conductivity (W/mK)
SnAgCu solder	75	58
Top layer copper	70	398
PCB dielectric	100	2.2
Al plate	1588	150

Dla laminatu FR4 (o powierzchni 270mm^2 i gr $1,6\text{mm}$ = R_{th} jest ok. 30°C/W)
Dla laminatu ALU (o powierzchni 270mm^2 i gr $1,6\text{mm}$ = R_{th} jest ok. $0,2^\circ\text{C/W}$)

Integralność zasilania



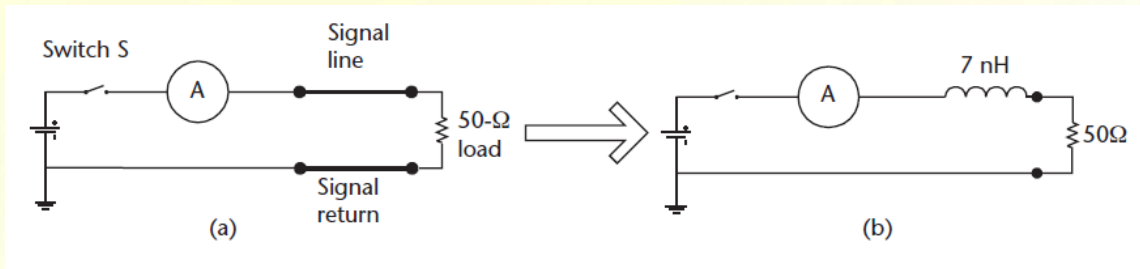
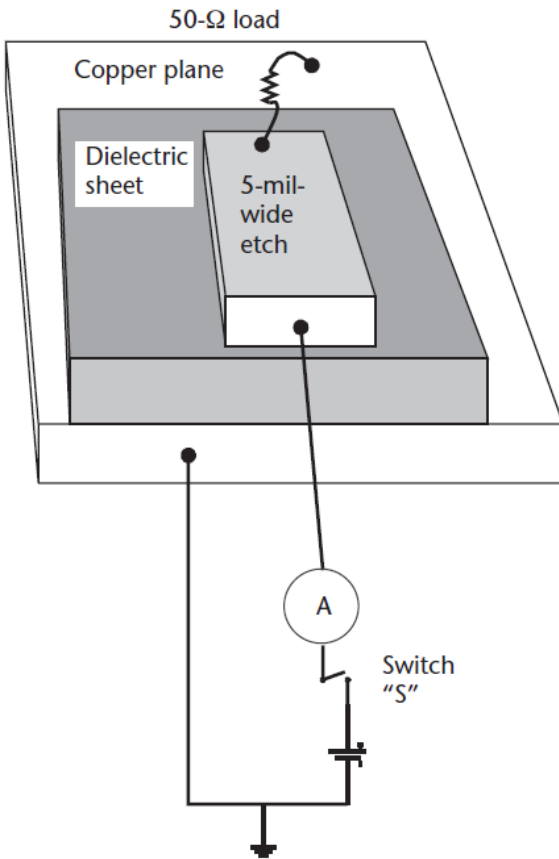
$$V_{ripple} > V_{PDN} = I(f) \times Z_{PDN}(f)$$

V_{ripple} – dopuszczalne maksymalne spadki napięcia na sieci zasilającej ICs

V_{PDN} – spadek napięcia na sieci zasilania

- ❑ Na impedancji sieci zasilania Z_{PDN} powstają spadki zasilania
- ❑ Głównym zadaniem Z_{PDN} jest zapewnienie minimalnej wartości, które pozwalają na maksymalne spadki zasilania na sieci zasilającej.
- ❑ W Z_{PDN} trzeba uwzględnić ścieżki zasilania, kondensatory odsprężające oraz płaszczyzny zasilania (Power Plane)

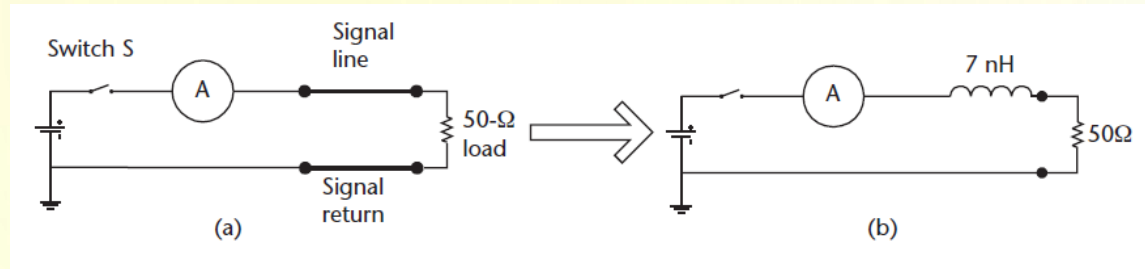
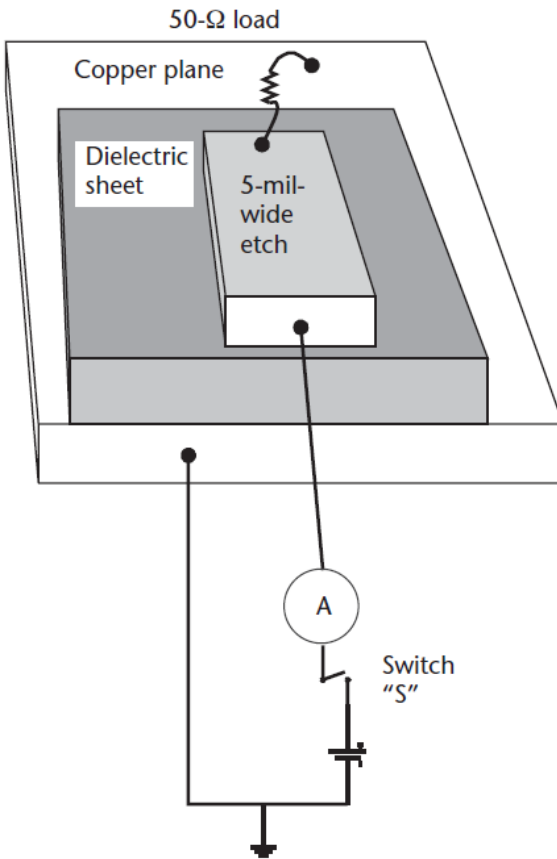
Integralność zasilania



Przyjmujemy że przełączamy prąd 20mA z czasem narastania 1ns

Jaki będzie spadek napięcia na sieci Z_{PDN} ?

Integralność zasilania

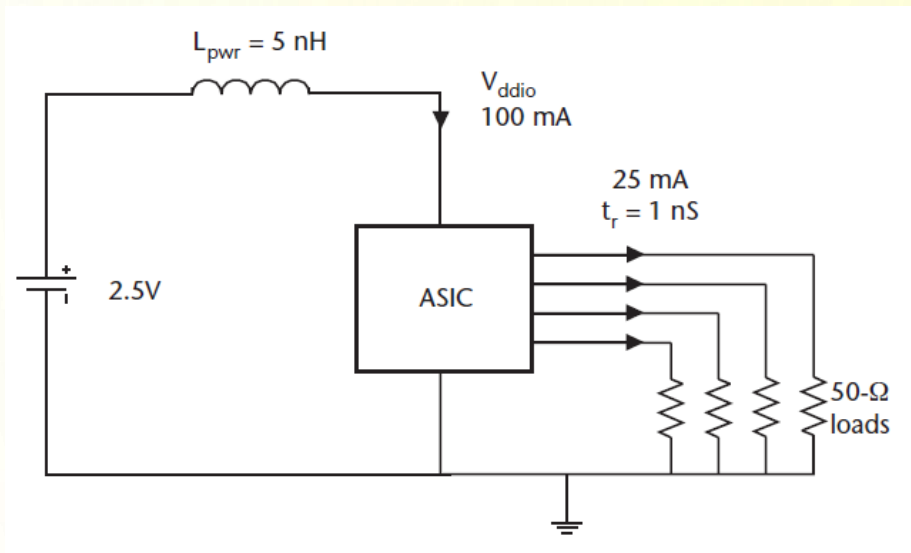


Przyjmujemy że przełączamy prąd 20mA z czasem narastania 1ns

$$e = -L \frac{di}{dt}$$

$$e = V_{PDn} = 7nH * \frac{20mA}{1ns} = 140mV$$

Integralność zasilania



$$e = -5 \text{ nH} \frac{4 \times 25 \text{ mA}}{1 \text{ ns}} = -0.5 \text{ V}$$

Uwzględniając rezystancję sieci zasilania wzór na spadek napięcia na V_{PDN} :

$$V_{PDN} = 2R\Delta I + L * \frac{\Delta I}{\Delta t}$$

Przyjmując że sieć zasilania ma rezystancję 50mR to powstaje dodatkowy spadek napięcia 10mV
W powyższym przykładzie daje to spadek na **$V_{PDN} = 510\text{mV} !!!$**

Integralność zasilania

Jaki określić wymaganą Z_{target} :

$$Z_{\text{target}}(f) < \frac{V_{\text{dd}} \times \text{ripple}\%}{I_{\text{transient}}}$$

Gdzie:

V_{dd} – napięcie zasilania chipu;

Ripple – dopuszczalne wahania napięcia zasilania chipu

$I_{\text{transient}}$ – prąd przejściowy, w PDN zazwyczaj przyjmujemy że jest 1/2 prądu maksymalnego chipu

Power rail	Voltage (v)	ripple%	Max current (A)	Transient current amplitude (A)	Z_{target} (Ohms)
VCCT/R	1.2	2.5%	1.2	0.6	0.05
VCCH	1.5	2%	0.17	0.085	0.35
3.3 v Analog	3.3	3%	0.274	0.137	0.72
VCCP	1.2	2%	1.03	0.51	0.047

Figure 13-7 Example of a calculation of the target impedance of different voltage rails based on gate utilization of an Altera FPGA.

Integralność zasilania

Jaki określić wymaganą Z_{target} :

$$I_{transient} = n \frac{V_{cc}}{Z_0}$$

Gdzie:

V_{dd} – napięcie zasilania chipu;

Ripple – dopuszczalne wahania napięcia zasilania chipu

$I_{transient}$ – prąd przejściowy,

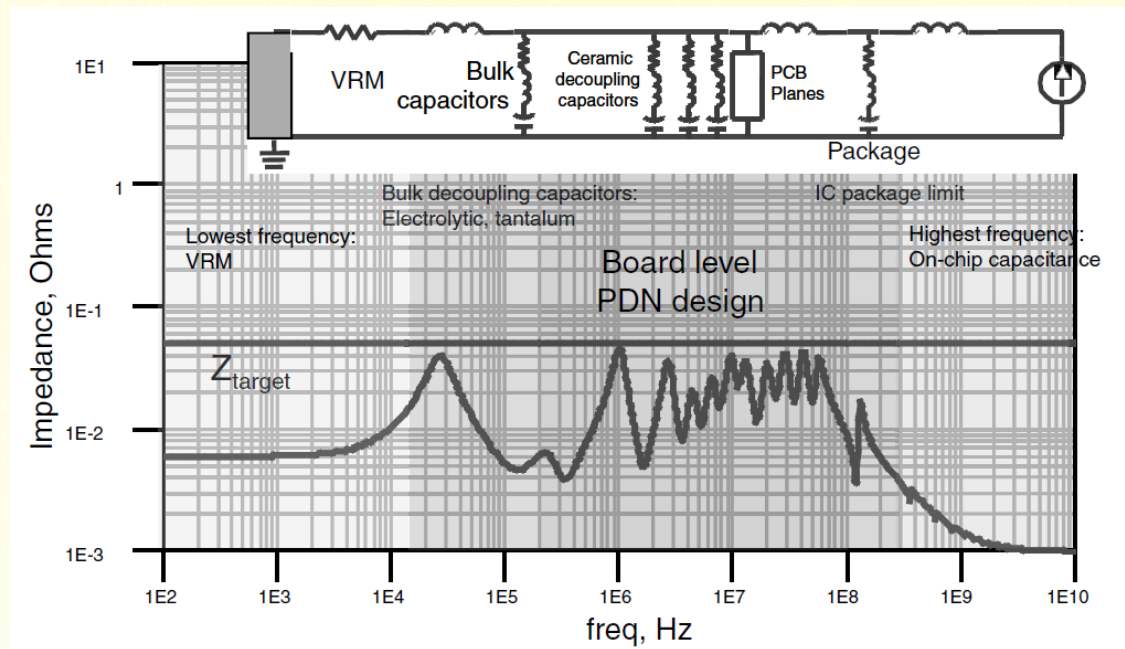
Przykład:

Mamy układ FPGA, zasilany napięciem $VDDIO = 3,3V \pm 2,5\%$, chcemy wysterować 16 bitów o $Z_0 = 50R$ i $t_r = 1ns$, jaka powinna być Z_{target}

$$I_{transient} = 16 * \frac{3,3V}{50R} = 1,056A$$

$$Z_{target} = \frac{3,3V * 2,5\%}{1,056A} = 62,5mR$$

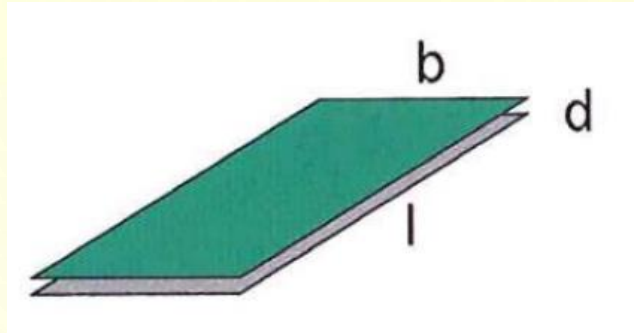
Integralność zasilania



Jak zapewnić prawidłową integrację zasilania:

- ☐ Użyj płaszczyzn zasilania i uziemienia na sąsiednich warstwach, z możliwie cienkim dielektrykiem (cienki prepreg, core);
- ☐ Użyj jak najkrótszej ścieżki i szerokiej pomiędzy zasilanie układu i kondensatorami odsprężającymi
- ☐ Kondensator odsprężający połącz z zasilaniem i masą poprzez najkrótszą indukcyjność – przelotki blisko padów, kilka przelotek
- ☐ Użyj SPICE do określenia optymalnej liczby kondensatorów odsprężających i ich wartości aby uzyskać wymaganą wartość impedancji sieci zasilania

Impedancja płaszczyzn zasilania



$$L' = \mu_0 \frac{d}{b} \left[\frac{nH}{cm} \right]$$

$$C' = \varepsilon_0 \varepsilon_r \frac{b}{d} \left[\frac{pF}{m} \right]$$

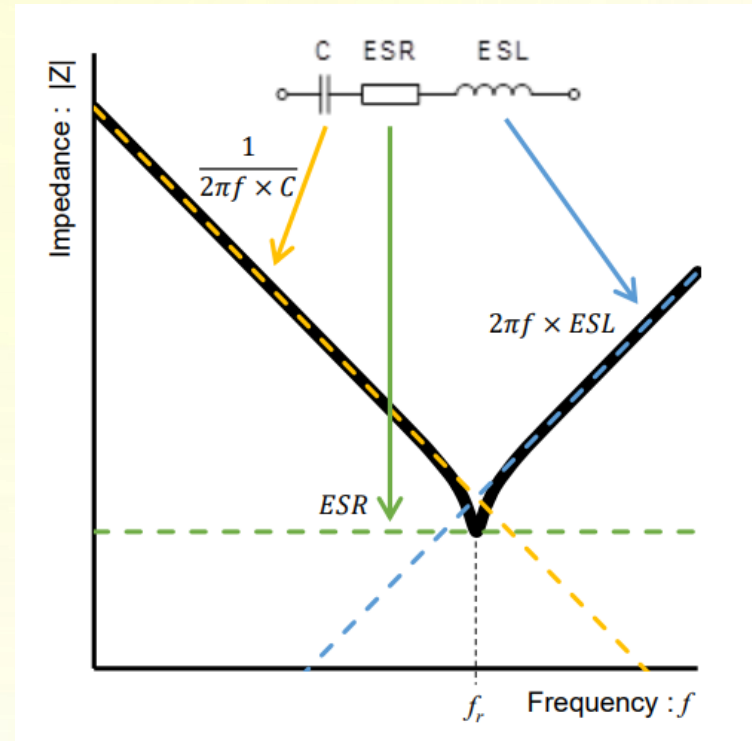
$$Z = \sqrt{\frac{L'}{C'}} [\Omega]$$

Impedancja zasilania powinna być jak najmniejsza !!

- ❑ Mała indukcyjność = szerokie ścieżki, dobre sprzężenie warstwy PWR i GND
- ❑ Duża pojemność = duże płaszczyzny masy i zasilania + kondensatory odsprężające

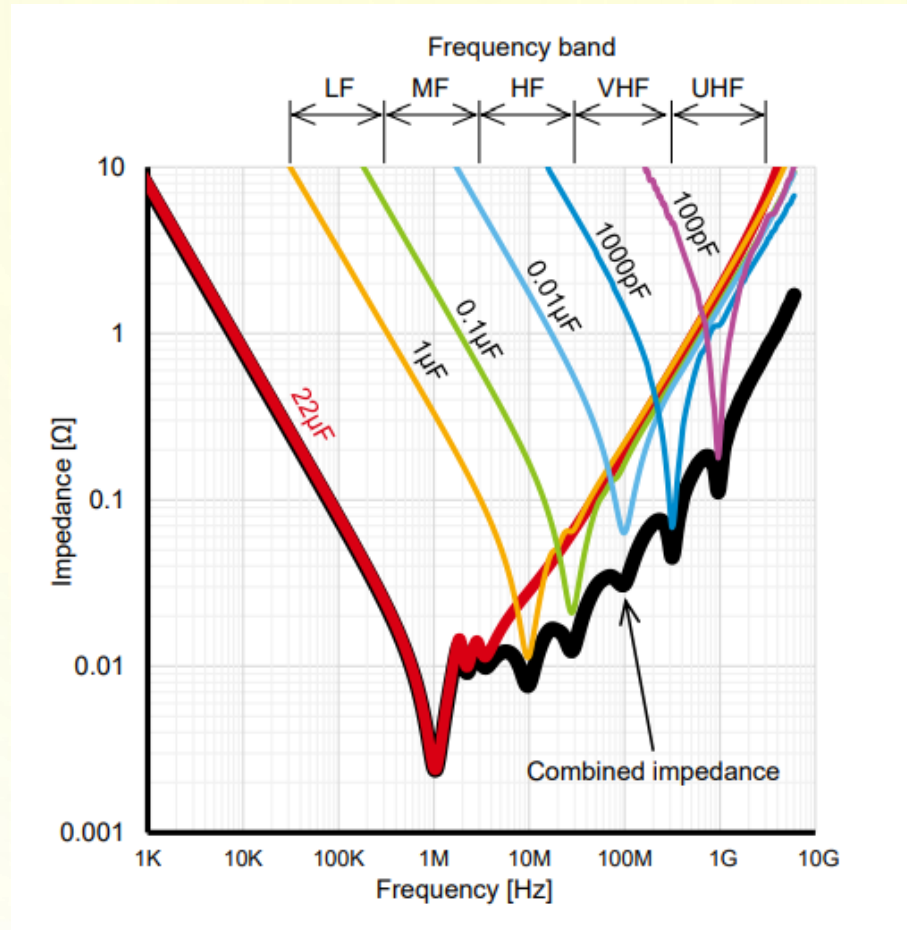
Kondensatory odsprzęgające

- ❑ Magazynują energię
- ❑ Zmniejszają impedancję zasilania
- ❑ Kondensator odsprzęgający musi mieć swoją impedancję mniejszą niż wymagana jest impedancja zasilania
- ❑ Skracają drogę prądów powrotnych



Kondensatory odsprężające

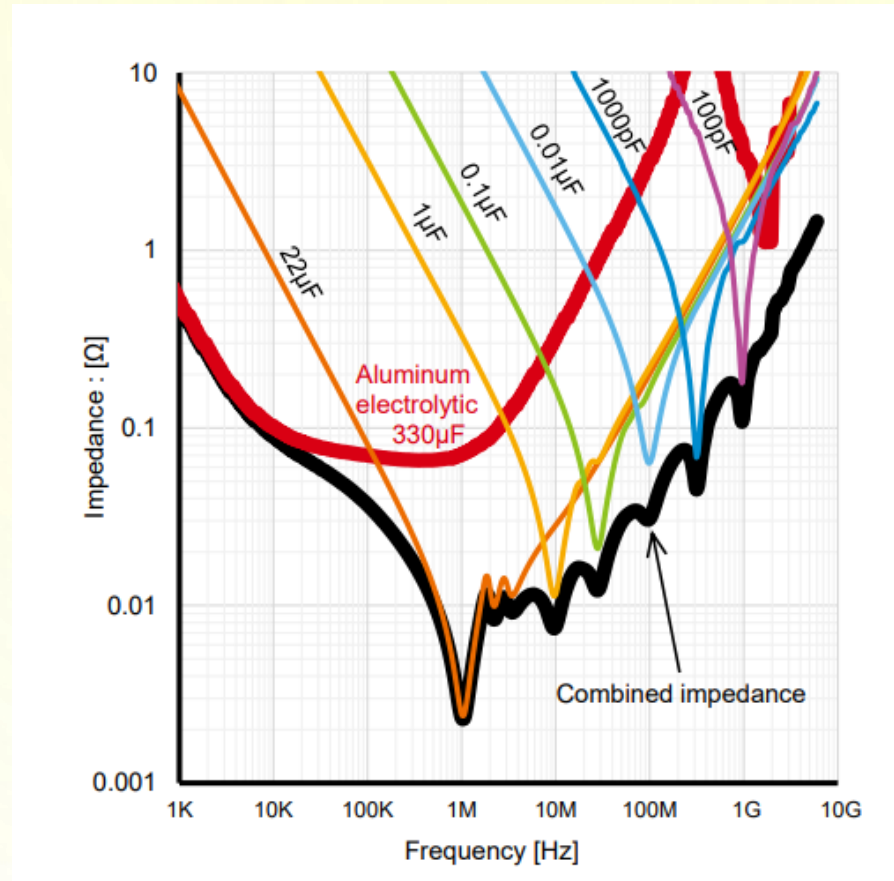
Używaj kondensatorów ceramicznych o różnych wartościach pojemności



Charakterystyka rzeczywistych kondensatorów

Kondensatory odsprężające

Dodaj kondensator elektrolityczny



Charakterystyka rzeczywistych kondensatorów

Kondensatory odsprzęgające

Jeśli potrzeba łączyć równolegle takie same kondensatory odsprzęgające

$$C_n = nC$$

$$ESR_n = \frac{1}{n}ESR$$

$$ESL_n = \frac{1}{n}ESL$$

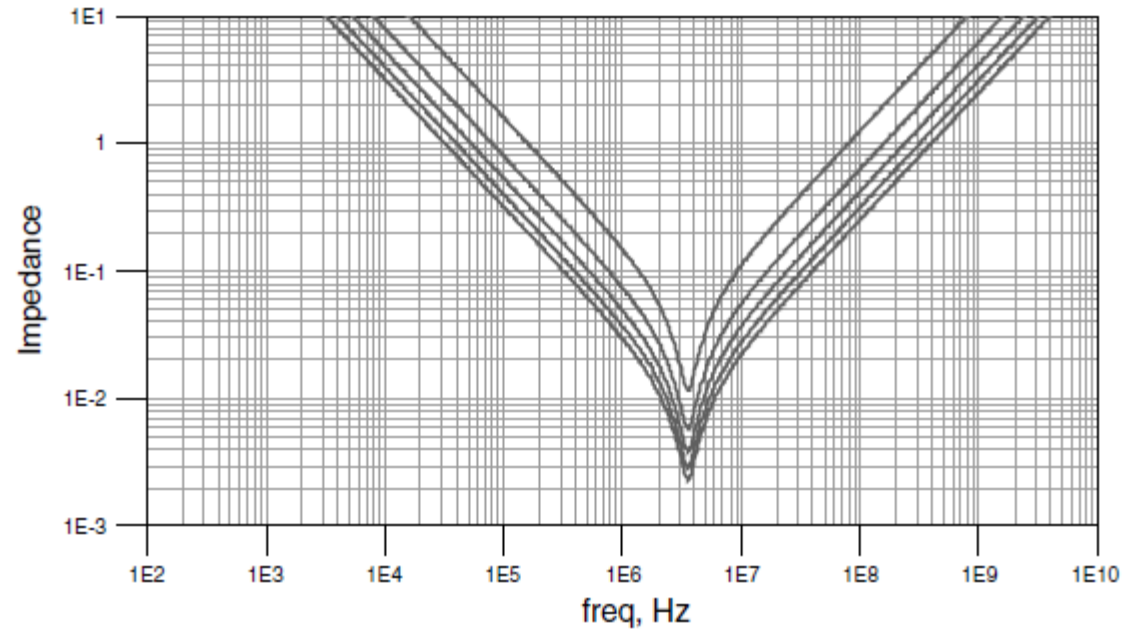
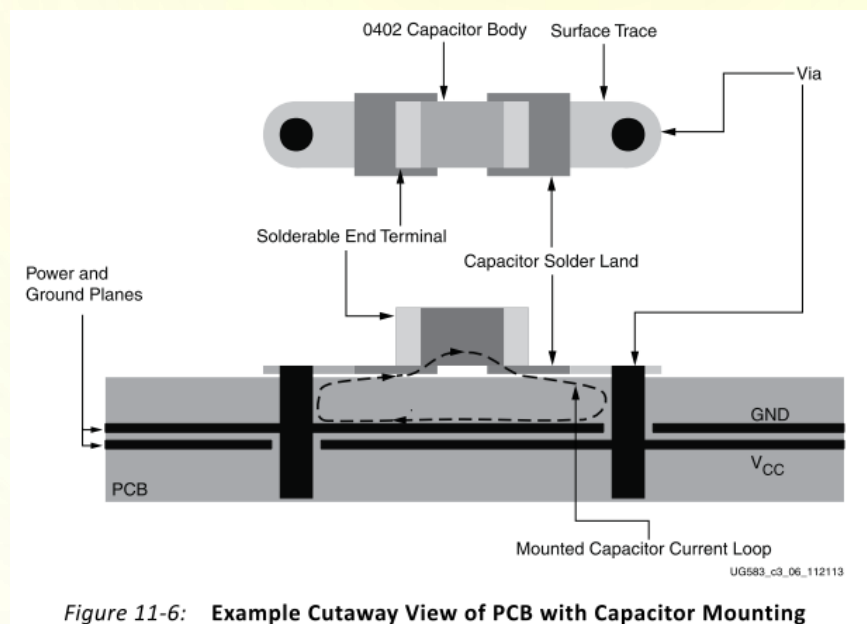


Figure 13-40 Impedance profile of 1, 2, 3, 4, and 5 identical capacitors added in parallel. With each additional capacitor, the impedance decreases at all frequencies.

Kondensatory odsprężające

Jak zapewnić prawidłową integrację zasilania:

- ❑ Użyj jak **najkrótszej ścieżki i szerokiej pomiędzy zasilanie układu i kondensatorami odsprężającymi**
- ❑ Kondensator odsprężający połącz z zasilaniem i masą poprzez **najkrótszą indukcyjność** – przelotki blisko padów, kilka przelotek

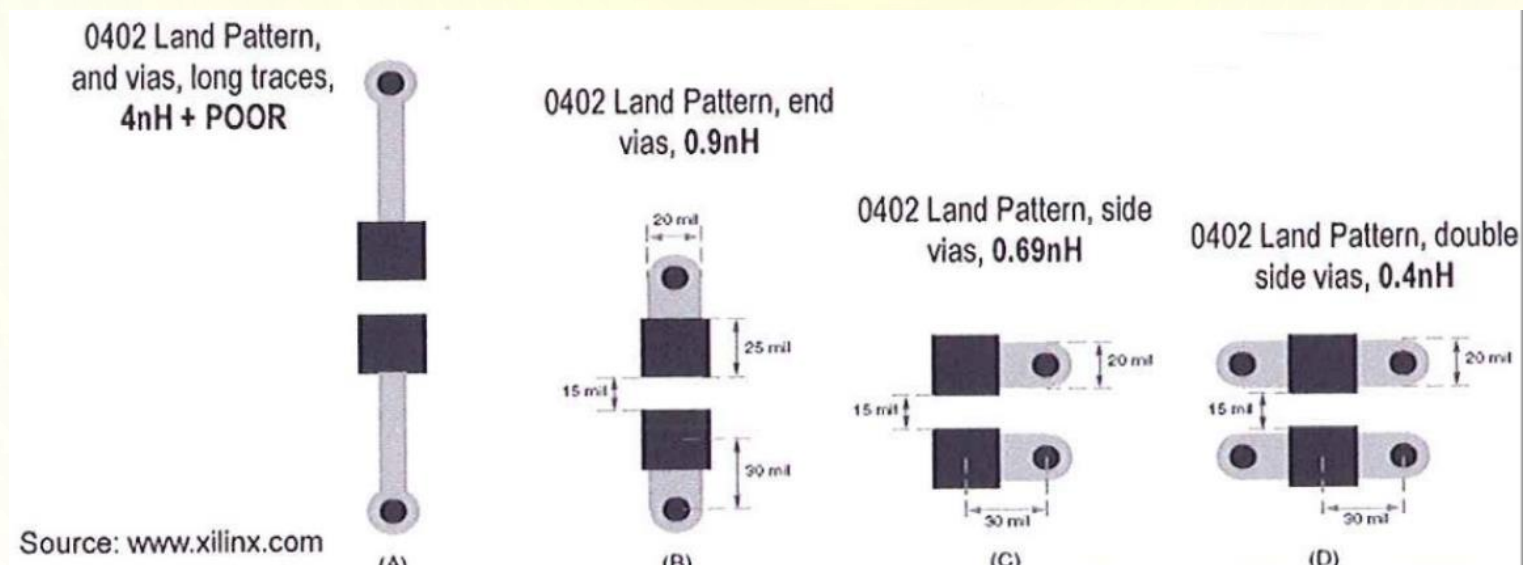


- ❑ Należy umieszczać kondensatory odsprężające jak najbliżej obciążenia (IC);
- ❑ Należy zapewnić krótkie i możliwie szerokie doprowadzenia
- ❑ Nie łączymy kilku kondensatorów do jednej przelotki

Kondensatory odsprężające

Jak zapewnić prawidłową integrację zasilania:

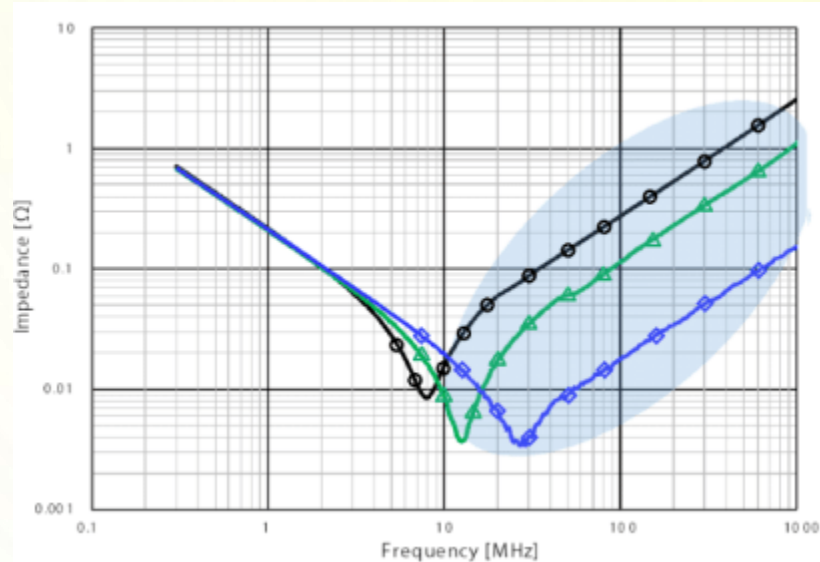
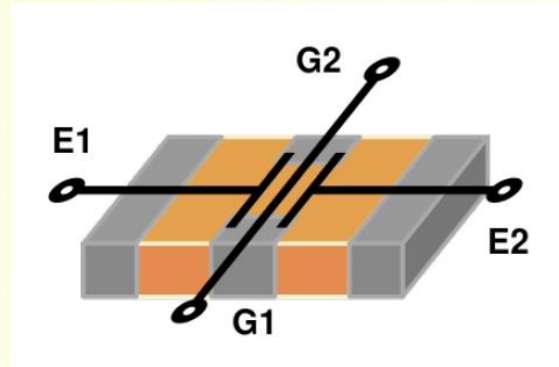
- ❑ Użyj jak **najkrótszej ścieżki i szerokiej pomiędzy zasilanie układu i kondensatorami odsprężającymi**
- ❑ Kondensator odsprężający połącz z zasilaniem i masą poprzez **najkrótszą indukcyjność** – przelotki blisko padów, kilka przelotek




- ❑ Zbyt długa ścieżka łącząca przelotkę z padem = duża indukcyjność (przykład A)
- ❑ Skrócenie długości ścieżki zmniejsza znacznie indukcyjność (przypadek B i C)
- ❑ Dodanie dodatkowych przelotek jeszcze bardziej zmniejsza indukcyjność (przypadek D)

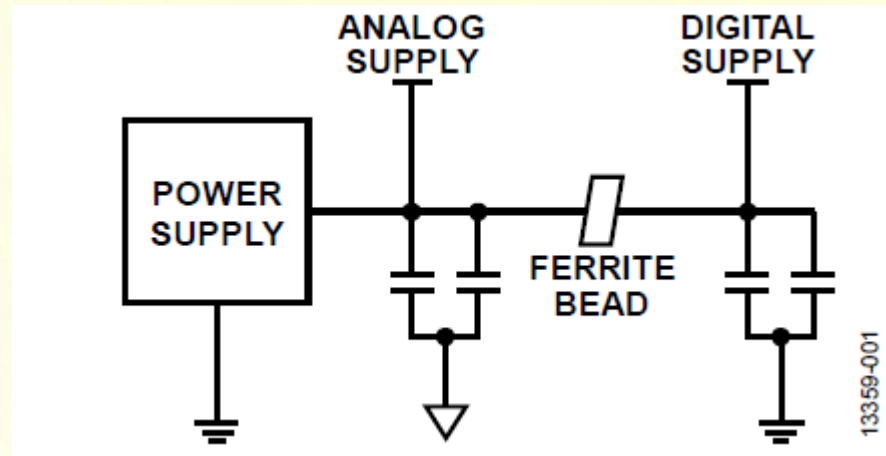
Kondensatory odsprężajające

- ❑ Łączenie równoległe kondensatorów zmniejsza wypadkową ESL (indukcyjność) i ESR (rezystancję) kondensatorów. Zwiększa pojemność
- ❑ Kondensatory o najmniejszej pojemności (wysoka częstotliwość rezonansowa) powinny być umieszczane jak najbliżej pinów zasilania;
- ❑ Można używać specjalnych kondensatorów X2Y – mają mniejszy ESL i ESR



		2-Termination type ESL: approx. 200~300pH (1005 size)
		Low ESL type (Flip type) ESL: approx. 60~100pH (0510 size)
		Low ESL type (3-Termination type) ESL: approx. 20~30pH (1005 size)

Koraliki ferrytowe



Element niezbędny w torze zasilania układów analogowych, a szczególnie w systemach mieszanych !!

- ❑ Chronią układy analogowe od zakłóceń wywołanych przez układy cyfrowe;
- ❑ Pozwala na współdzielenie jednego układu zasilania dla części cyfrowej i analogowej;
- ❑ Rozprasza energię zakłóceń w postaci ciepła
- ❑ Wraz z kondensatorami działa jak filtr dolnoprzepustowy

Koraliki ferrytowe

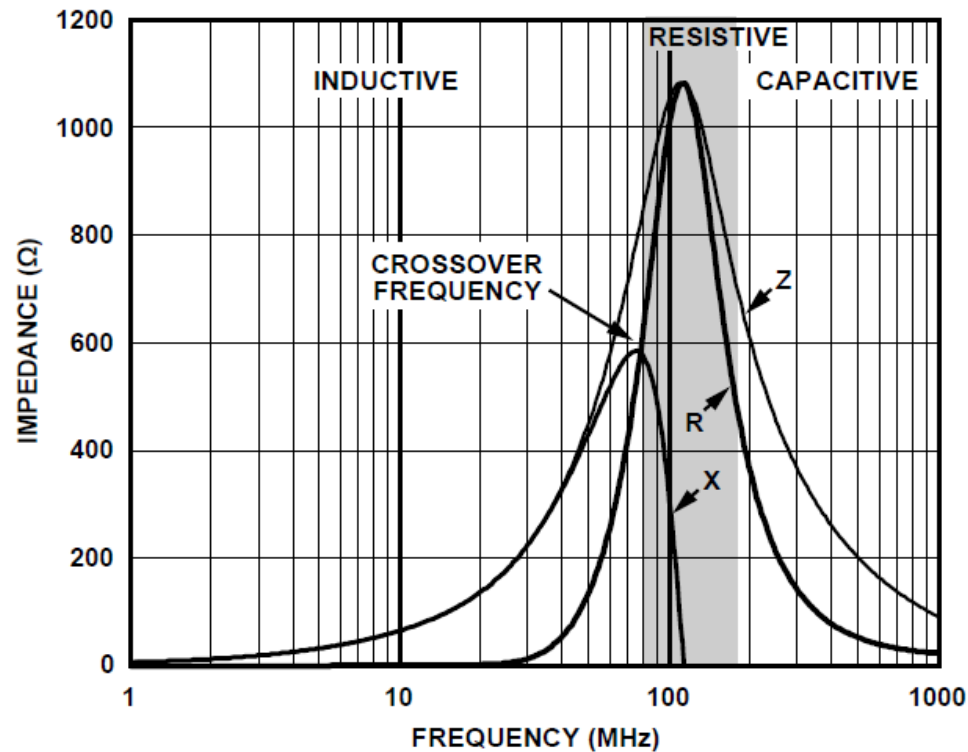
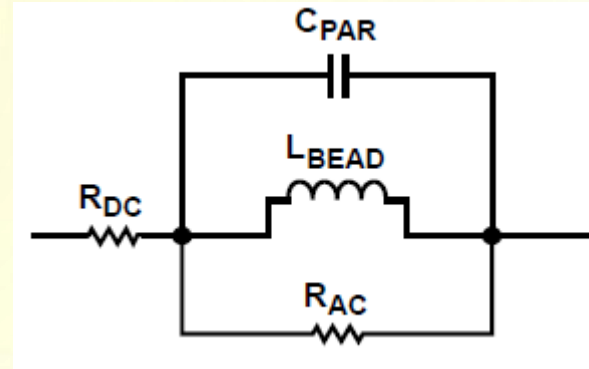
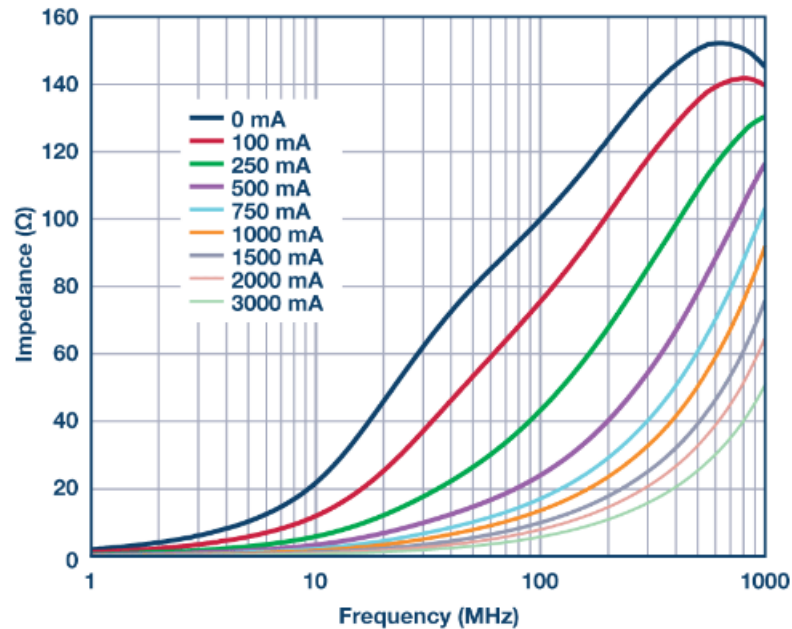


Figure 2. Tyco Electronics BMB2A1000LN2 ZRX Plot



- ❑ Skuteczne tłumienie zakłóceń jeśli zakłócenia znajdują się w obszarze rezystancyjnym;
- ❑ Element działa jak rezystor, który tłumí szumy o wysokiej częstotliwości i rozprasza je w postaci ciepła;

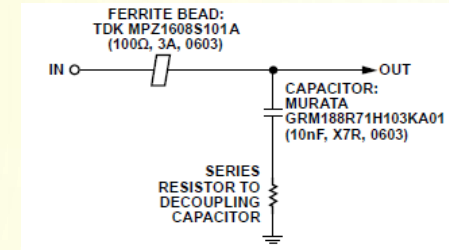
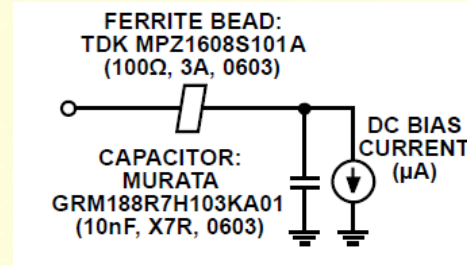
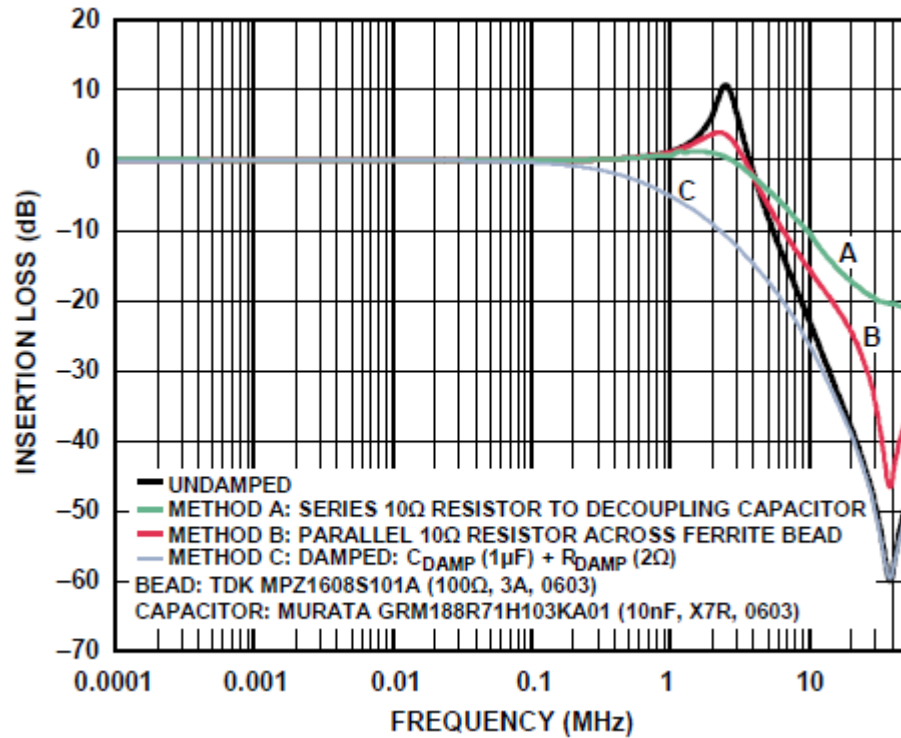
Koraliki ferrytowe



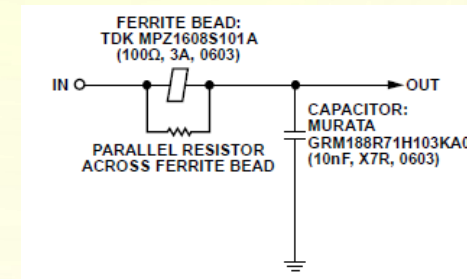
Koraliki ferrytowe powinny pracować przy max. 20% swoim obciążeniu. Ponieważ wraz ze wzrostem prądu rdzeń koralika nasycy się i zmienia się jego indukcyjność i charakterystyka.

Np.: gdy max prąd jaki przepływa przez koralik jest 0,5A to koralik powinien być dobrany na min. 2,5A.

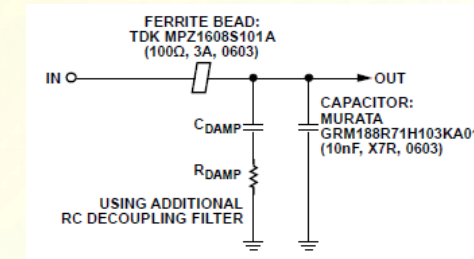
Koraliki ferrytowe – jako filtr dolnoprzepustowy



Metoda A



Metoda B



Metoda C

AGND vs DGND

AGND – „masa” dla sygnałów analogowych

DGND – „masa” dla sygnałów cyfrowych

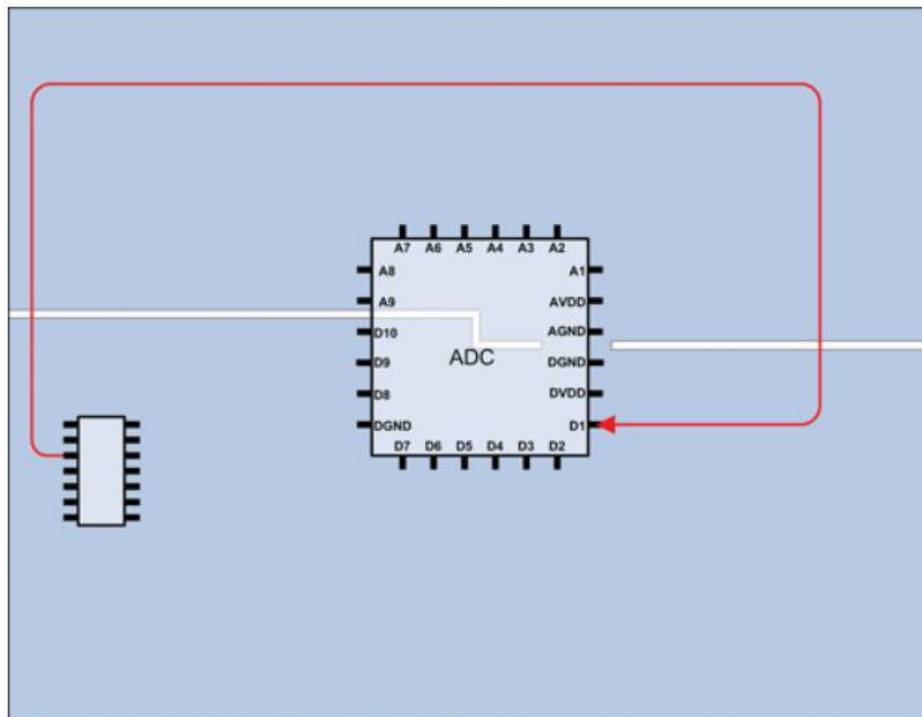


Figure 18. Bad routing of a digital trace.

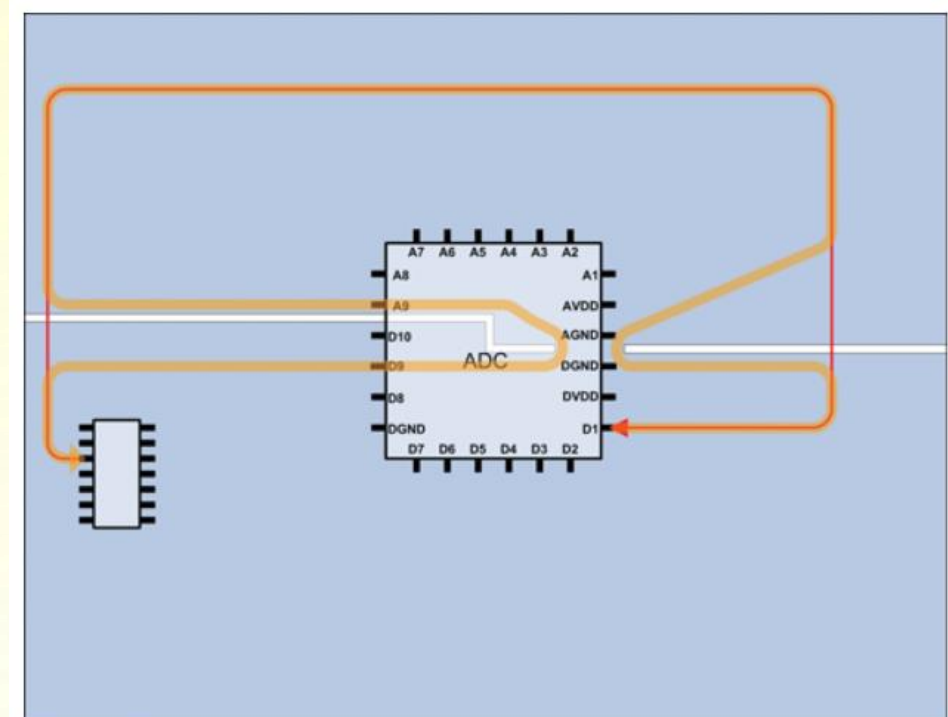


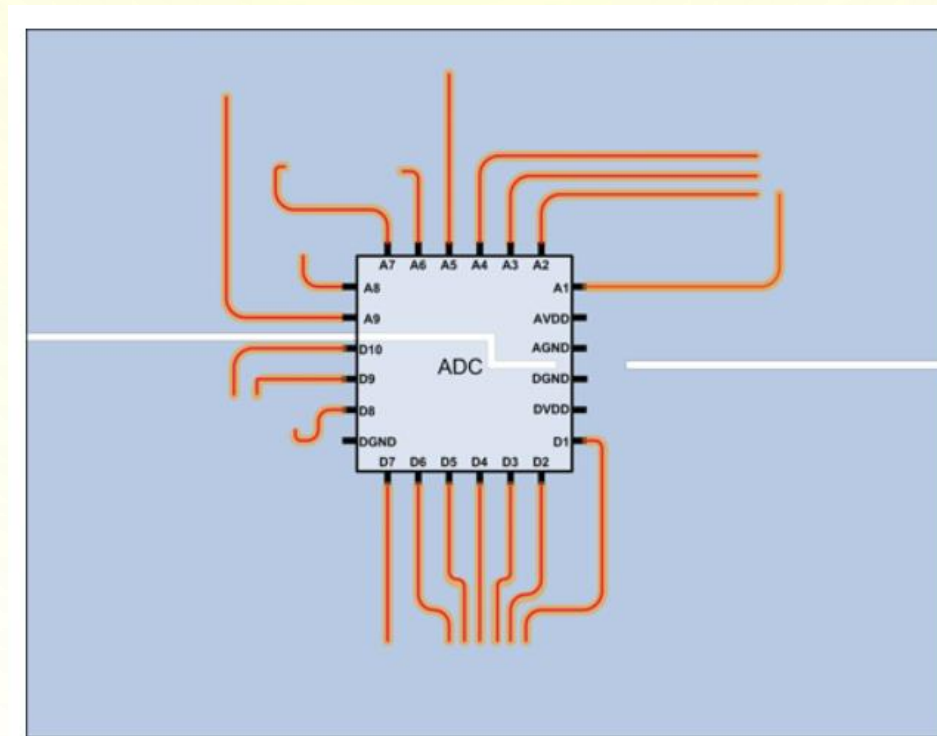
Figure 19. Ground return for the bad digital trace.

Przypadek złego „routingu” cyfrowej ścieżki

AGND vs DGND

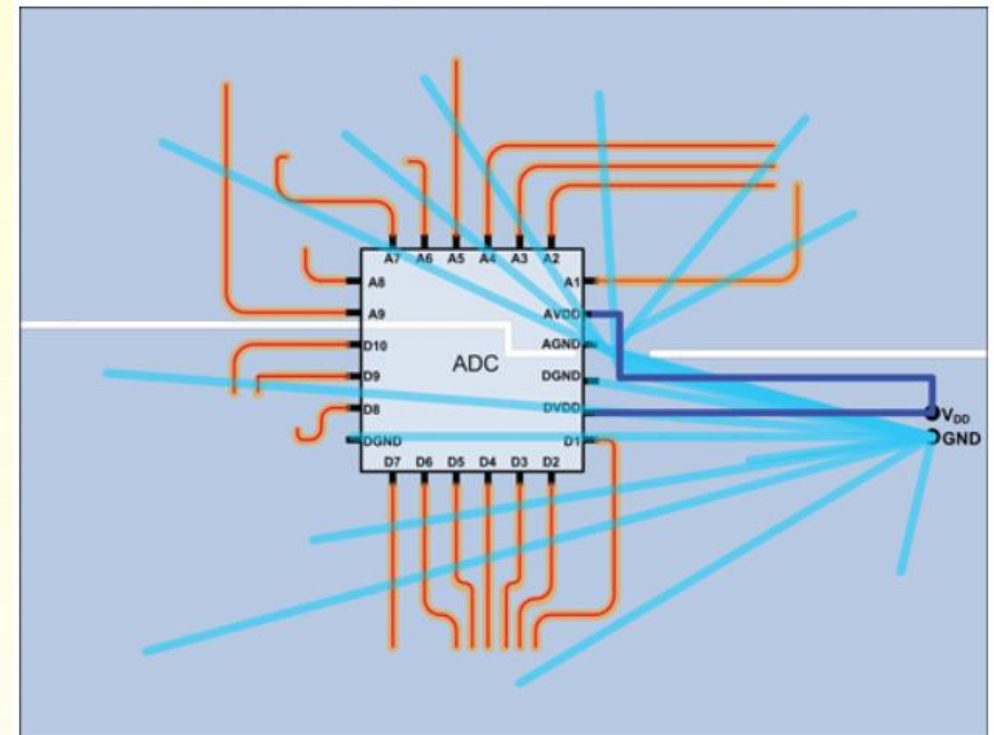
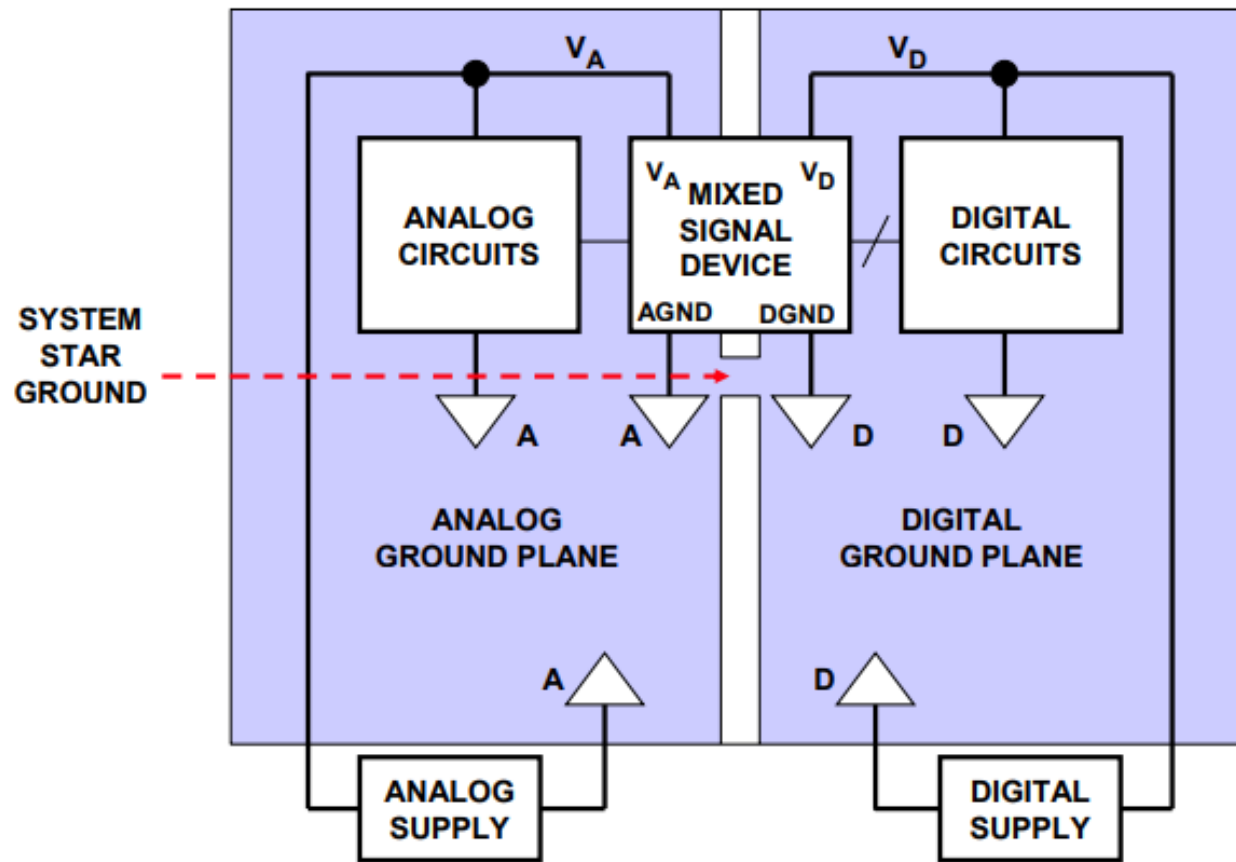
Jeśli stosujemy szczeliny w płaszczyźnie odniesienia to koniecznie jest by wszystkie komponenty i sygnały cyfrowe znalazły się po stronie „cyfrowej” DGND. Odpowiednio wszystkie komponenty i sygnały analogowe po stronie AGND

W takim przypadku prądy powrotne płyną pod ścieżkami sygnałowymi, minimalizując obszar pętli, ponieważ jedyną rzeczą oddzielającą ścieżki sygnałowe od płaszczyzny masy jest grubość samej płytki.



AGND vs DGND

A co z zasilaniem?



AGND vs DGND

Projektując układy mieszane:

- ❑ Zwróć uwagę na prawidłowe rozmieszczenie komponentów;
- ❑ **Pamiętaj o ścieżkach powrotnych:**
 - dla DC i m.cz jest ścieżka o najmniejszej rezystancji;
 - dla w.cz jest ścieżka o najmniejszej impedancji;
- ❑ Używanie szczelin pomiędzy AGND i DGND jest zazwyczaj niepotrzebny jeśli spełnisz dwa powyższe punkty;
- ❑ Jeśli używasz szczelin w płaszczyźnie odniesienia to **nie wolno** przecinać ich ścieżkami. Spowoduje to emisję elektromagnetyczną
- ❑ Dla układów analogowych stosuj przetwornice niskoszumne lub stabilizatory liniowe

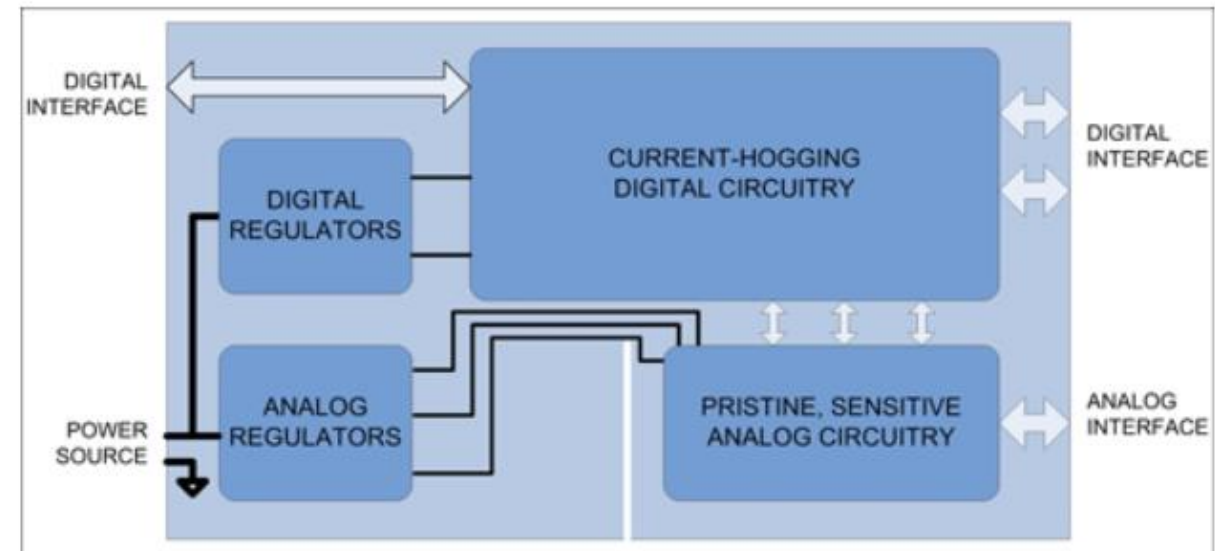


Figure 26. Analog and digital board with ground cut.

